

# パワーフリッキングリセット型非対称誤り記憶素子の実現とそのフェールセーフ回路への応用

## A Realization of Asymmetrically Faulty Memory Device Based on Power Flicking Reset and Its Application to Fail-safe systems

○池田茂\*, 佐々木正明\*, 中林撰\*, 鹿股昭雄\*

○Shigeru Ikeda\*, Masaaki Sasaki\*, Sen Nakabayasi\*, Akio Kanomata\*

\*仙台電波工業高等専門学校

\*Sendai National College of Technology

キーワード: フェールセーフ (fail-safe), 非対称誤り (asymmetric errors), 非順序符号 (unordered code), フルカスタムLSI設計 (fullcustom LSI design), フォールトトレランス (fault tolerance)

連絡先: 〒989-3124 宮城県仙台市青葉区上愛子字北原1 仙台電波工業高等専門学校 情報工学科 鹿股昭雄,  
Tel.: (022)391-5610, Fax.: (022)391-6144, E-mail: kanomata@info.sendai-ct.ac.jp

### 1. はじめに

今日、デジタルシステムにおいては、自動車の電子制御や医療機器に代表されるように、高い信頼性、安全性が要求される用途が増えてきている。近年では、ハードウェアとソフトウェアを統合してシステム的にフォールトトレランスを達成しようとする傾向が強いが、人命にかかわるような、あるいは経済上重要な用途では、「最後の砦」としてのハードウェアによるフェールセーフ機能が今後とも重要であると考えられる。

フィールドにおける故障の多くは、電源ノイズなどに起因する一時的な故障だと言われている。近年の実装の高密度化や動作電圧の低減化、モバイル機器に代表される使用環境の厳しさなどに伴って、そのような傾向はますます増大している。特に、記憶素子の場合には、故障原因が一過性のものであっても、データが一旦誤るとそのまま異常状

態が持続するため、その対策は重要である。

本研究では、そのような背景のもとで、電源ノイズに対して非対称な誤り特性、すなわち、故障状態が論理“0”または、論理“1”のいずれか一方に偏りやすい記憶素子の簡単な構成法を提案する。

この種の記憶素子を、従来提案されている非対称誤り論理素子<sup>1)</sup>で構成する方法も考えられるが、それらは、例えば、しきい値発振方式や周波数論理方式など一般に構成が複雑で、速度の制約がある、など問題が多い。

著者等は、これまでに論理しきい値の異なるNMOSインバータを組み合わせた非対称誤り記憶素子を提案しているが<sup>2)</sup>、この方式も、トランジスタのチャンネル形状を変化させるだけで容易に実現できる反面、消費電力が大きくなる欠点があった。

今回の提案は、チップ内にコンデンサと抵抗とダイオードからなる充放電回路を組み込み、電源

が変動した際に記憶素子を強制的にリセット状態にするものである。本論文では、 $0.6\mu\text{m}$  CMOSルールで設計した非対称誤り記憶素子について、そのシミュレーション結果を含めて報告する。さらに、提案する記憶素子を用いて設計したフェールセーフウォッチドックタイマについて報告する。

## 2. パワーフリッキングリセット型非対称誤り記憶素子の構成

### 2.1 非対称誤り記憶素子の回路設計

図1に、CMOSNANDゲート、CMOSインバータ、伝送ゲートを用いて構成したマスタスレーブ型Dタイプフリップフロップ(M-S型D-F/F)の回路構成を示す。提案では、NAND3の入力にコンデンサC、抵抗R、ダイオードからなるパワーフリッキングリセット回路(P-Fリセット回路)を付加している。

この回路の電源に何らかの原因でフリッキングが生じた場合、例えば、電源電圧(VDD)が $+5\text{V}\rightarrow 0\text{V}\rightarrow +5\text{V}$ に変動した場合、P点の電圧 $V_p$ は、図2のように変化する。電源電圧が $+5\text{V}\rightarrow 0\text{V}$ になったとき、電流がダイオードを通過して電源の方向へ流れるため、 $V_p$ は急激に下降する。その後、電源電圧が $+5\text{V}$ に戻る際、コンデンサに充電するため、 $V_p$ は時定数 $T_c$ に従い、徐々に $+5\text{V}$ になる。これによりNAND3への入力が遅れ、ノイズ後のM-S型D-F/Fの状態を論理“0”に特定することができる。

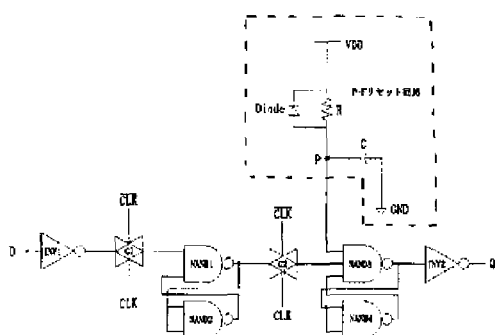


図1 非対称誤り特性を有するマスタスレーブ型Dタイプフリップフロップ

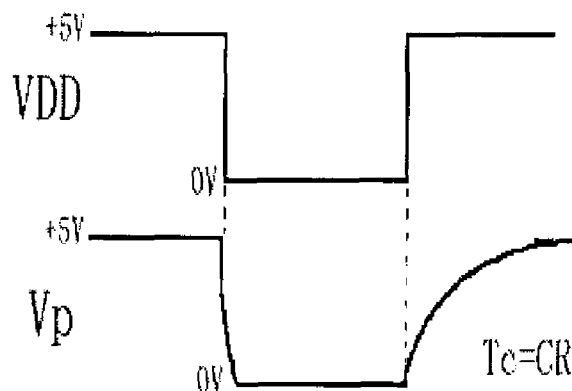


図2 電源雑音混入時のP点における電圧変動

### 2.2 非対称誤り記憶素子のレイアウト設計

図3と図4に今回設計したM-S型D-F/Fのレイアウトとコンデンサ、抵抗、ダイオードからなるP-Fリセット回路のレイアウトを示す。実際には、図3と図4のA部を接続して提案するフリップフロップを構成する。

図3のレイアウト設計では、豊橋技術科学大学から提供されたD-F/Fのスタンダードセルをベースにしている。P-Fリセット回路を接続するためにスレーブ側の2入力NANDゲートを3入力NANDゲートに変更している。D-F/F全体の面積 $S_d$ は約 $2,500\mu\text{m}^2$ となった。

今回、P-Fリセット回路を実現するに際して、コンデンサにはNMOSトランジスタのゲート容量を、抵抗にはN-wellを用いて設計した。一般に、NMOSトランジスタのゲート容量 $C_g$ は図5の構造になっており、式(1)で与えられる<sup>3)</sup>。

$$C_g = \frac{\epsilon_0 \times \epsilon_{\text{SiO}_2}}{t_{\text{ox}}} \times S_c [F] \quad (1)$$

但し、

$\epsilon_0$  : 真空の誘電率

$\epsilon_{\text{SiO}_2}$  : 酸化物の誘電率

$t_{\text{ox}}$  : 酸化膜の厚さ

$S_c$  : チャネルの面積

したがって、設計者はトランジスタのチャンネル面積を設定することによって、希望する容量を実現することができる。

一方、N-wellによる抵抗値 $R$ は式(2)で与えられる。

$$R = R_s \times \frac{l}{w} [\Omega] \quad (2)$$

但し、

$R_s$  : 導体のシート抵抗

$l$  : 導体の長さ

$w$  : 導体の幅

図4のレイアウトは、 $R=10k\Omega$ 、 $C=1pF$ の場合であり、全体の面積 $S_r$ は約 $22,900 \mu m^2$ であった。これは $S_d$ の約9倍であるが、P-Fリセット回路はチップ内に1個用意すれば十分であり、全てのD-F/Fに共通に利用できる。したがって、 $N$ 個のD-F/F全体の面積 $S$ は次式となる。

$$S = S_r + S_d \times N [\mu m^2] \quad (3)$$

なお、今回のLSI設計は、東京大学大規模集積システム教育研究センター(VDEC)を通して、表1の仕様で行った。また、設計は非対称誤り特性の確認だけを目的としているため、レイアウト面積の最小化は行っていない。

表1 LSI試作プロセス

CMOS0.6 $\mu$ テクノロジー(ローム(株))
チップ仕様 : 3.9mm角, 80ピン
PolySi : 2層
メタル配線 : 3層

### 3. パワーフリッキングリセット型非対称誤り記憶素子のシミュレーション実験

提案するP-Fリセット型D-F/Fが電源ノイズに対して期待通り非対称誤り特性を有するか否かに

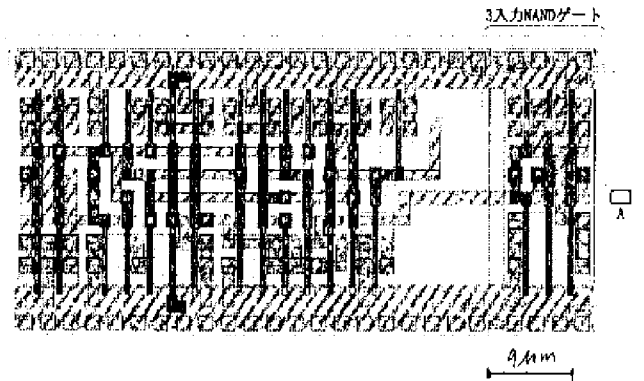


図3 マスタスレーブ型Dタイプフリップフロップのレイアウト

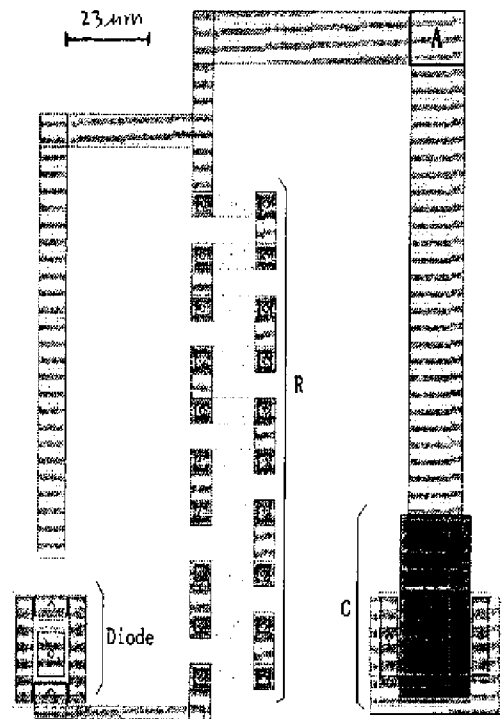


図4 パワーフリッキングリセット回路のレイアウト

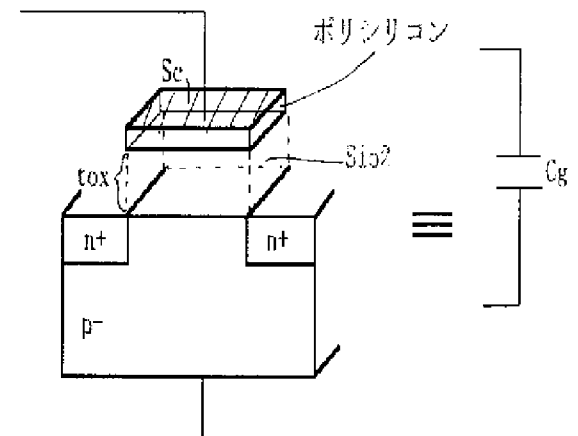


図5 NMOSトランジスタのゲート容量

ついて、ワークステーションsun ultra1のもとで、SPICE系の電子回路シミュレータSpectreを用い、 $0.6\mu$ ルールで図1の回路のシミュレーション実験を行った。その結果を図6に示す。なお、P-Fリセット回路のコンデンサと抵抗の値は、それぞれ $1\text{pF}$ 、 $10\text{k}\Omega$ に設定した。また、電源ノイズとして、 $+5\text{V}$ の電源電圧が $4\mu\text{s}$ 間 $0\text{V}$ と $+10\text{V}$ の間を1周期パルス状に振れるケースを想定した。

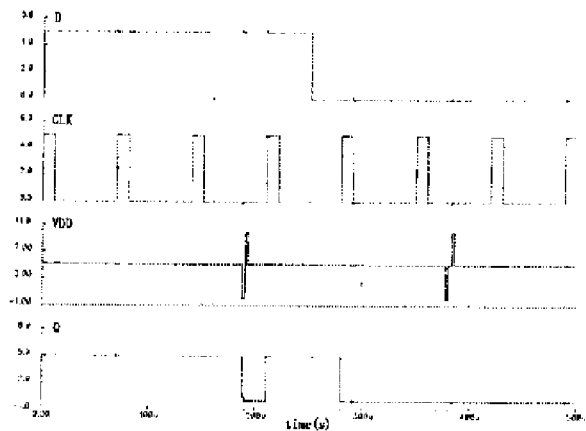
図6(a)は電源が最初に $0\text{V}$ に下がり、その後 $+10\text{V}$ に変化する場合のシミュレーション結果である。D-F/Fの入力Dにより、出力Qの状態を“0”、あるいは“1”に設定した上で、電源ノイズを想定し、電源電圧(VDD)を $+5\text{V}\rightarrow 0\text{V}\rightarrow +10\text{V}\rightarrow +5\text{V}$ に変動させた。その結果、ノイズ注入前の状態にかかわらず $Q=“0”$ となり、非対称誤り特性が確かめられた。

D=“1”のときは、電源電圧が負方向のノイズによって $+5\text{V}\rightarrow 0\text{V}$ に変動し、電圧が正方向に戻る際にコンデンサが充電し、その分NAND3への入力が遅れた結果だと考えられる。D=“0”のときも同様である。

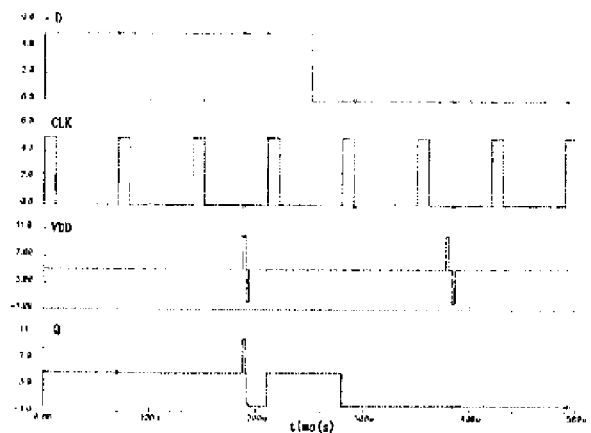
一方、図6(b)は電源が最初に $+10\text{V}$ に上がり、その後 $0\text{V}$ に変化する場合のシミュレーション結果である。状態にかかわらず、ノイズ後の出力Qは“0”状態となり、非対称誤り特性が確かめられた。

D=“1”のとき、電源電圧が $+5\text{V}\rightarrow +10\text{V}$ に変動したとき、出力電圧も $+10\text{V}$ になるが、 $Q=“1”$ の状態を保っている。その後、電源電圧が $0\text{V}\rightarrow +5\text{V}$ に変動したとき、コンデンサの充電によってNAND3への入力が遅れるため、 $Q=“0”$ になると考えられる。D=“0”のときも同様である。

P-Fリセット回路の動作を確認するために、電源変動のシミュレーション時のコンデンサの充放電の様子を観測した。図7にその結果を示す。このシミュレーションでは、時定数 $T_c$ は $10^{-8}\text{s}$ であり、例えば、コンデンサが $4.5\text{V}$ まで充電する時間を計算すると、その時間は約 $0.023\mu\text{s}$ である。図7のシミュレーション結果からは約 $0.028\mu\text{s}$ が得られ、ほぼ



(a) Negative-Positive noise



(b) Positive-Negative noise

図6 電源雑音環境におけるDタイプフリップフロップの動作シミュレーション

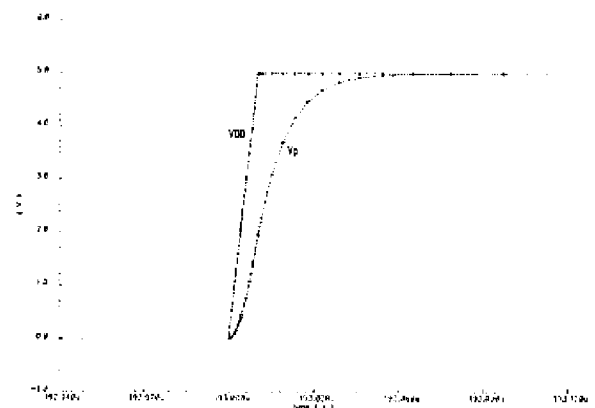


図7 コンデンサが充電する際のP点の電圧の様子

設計通りの時定数が実現されていることがわかる。

以上のシミュレーション結果から、ある限られた条件下ではあるが、図1のD-F/Fが電源ノイズに対して、十分な非対称誤り特性を期待できることが確かめられた。しかし、ノイズの状態によっては、P-Fリセット回路が有効に機能しない場合も十分に考えられるため、試作LSIを用いた実際の回路での動作確認が必要とされる。今回のLSI設計に当たっては、そのために、Rの値は10kΩに固定し、Cの値を1pF、4pFとした2種類のP-Fリセット回路を設計し、VDEC、ローム社に試作依頼中である。

#### 4. パワーフリッキングリセット型非対称誤り記憶素子を用いたフェールセーフウォッチドックタイマの構成

フェールセーフ回路を実現する一般的な方法として、(1)構成する素子および入力信号が“0”への一方方向誤り特性を持ち、かつ、(2)回路をNOTfreeな関数で表現する方法がある<sup>3),4)</sup>。本研究では、回路の素子の中でも特にノイズ等に常時センシティブである記憶回路に注目し、それに対して提案する非対称誤りD-F/Fを用い、かつ、内部状態への符号として非順序符号の一つであるパーガークードを用いることで、フェールセーフ回路の実現を目指した。

図8は、そのようにして構成したフェールセーフウォッチドックタイマ(WDT)の構成図である。WDTの機能は、監視対象のシステムから送られてくる一定周期の『I'm alive』信号を監視するものであり、ある期間以上信号が送られてこない場合は、システムに異常が発生したと判断するものである。試作したWDTの状態遷移図を図9に示す。通常は『I'm alive』信号が“0”、“1”になる度に状態“00110”と“10010”の間を遷移している。ク

ロック3周期以上信号が変化しないとタイムオーバーを出力する。

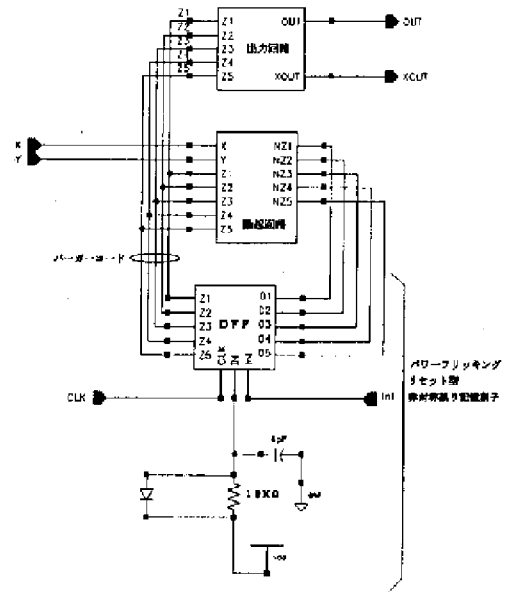


図8 フェールセーフウォッチドックタイマの構成図

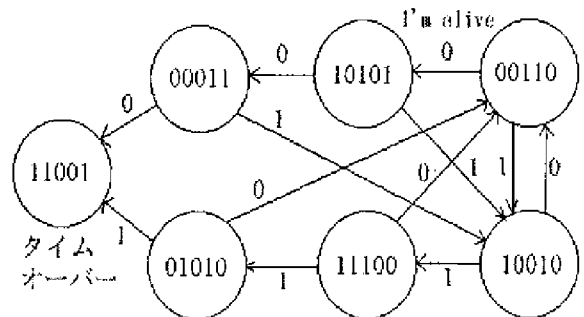


図9 フェールセーフウォッチドックタイマの状態遷移図

表2に、フェールセーフWDTの状態遷移表を示す。内部状態にはパーガークードZ1..5を、『I'm alive』信号には、2線符号X, Yを用いている。この遷移表からNOTfreeな励起関数が導かれる。次状態変数NZ1..5の論理式を式(4)~(8)に示す。また、出力にも2線符号OUT, XOUTを用いており、監視対象のシステムが正常ならばOUT=“1”、異常ならばOUT=“0”を出力する。

表2 フェールセーフウォッチドックタイマの状態遷移表

現状態					入力		次状態				
Z1	Z2	Z3	Z4	Z5	X	Y	NZ1	NZ2	NZ3	NZ4	NZ5
0	0	1	1	0	0	1	1	0	1	0	1
0	0	1	1	0	1	0	1	0	0	1	0
1	0	0	1	0	0	1	0	0	1	1	0
1	0	0	1	0	1	0	1	1	1	0	0
1	0	1	0	1	0	1	0	0	0	1	1
1	0	1	0	1	1	0	1	0	0	1	0
1	1	1	0	0	0	1	0	0	1	1	0
1	1	1	0	0	1	0	0	1	0	1	0
0	0	0	1	1	0	1	1	1	0	0	1
0	0	0	1	1	1	0	1	0	0	1	0
0	1	0	1	0	0	1	0	0	1	1	0
0	1	0	1	0	1	0	1	1	0	0	1
1	1	0	0	1	0	1	1	1	0	0	1
1	1	0	0	1	1	0	1	1	0	0	1

$$\begin{aligned}
 NZ1 = & Z1 \cdot Z2 \cdot Z5 + Z2 \cdot Z4 \cdot X + Z4 \cdot Z5 \\
 & + Z1 \cdot Z3 \cdot Z5 \cdot X + Z1 \cdot Z4 \cdot X \\
 & + Z3 \cdot Z4 \quad (4)
 \end{aligned}$$

$$\begin{aligned}
 NZ2 = & Z1 \cdot Z2 \cdot Z5 + Z2 \cdot Z4 \cdot X + Z1 \cdot Z4 \cdot X \\
 & + Z4 \cdot Z5 \cdot Y + Z1 \cdot Z2 \cdot Z3 \cdot X \quad (5)
 \end{aligned}$$

$$\begin{aligned}
 NZ3 = & Z2 \cdot Z4 \cdot Y + Z1 \cdot Z2 \cdot Z3 \cdot Y + Z1 \cdot Z4 \\
 & + Z3 \cdot Z4 \cdot Y \quad (6)
 \end{aligned}$$

$$\begin{aligned}
 NZ4 = & Z2 \cdot Z4 \cdot Y + Z4 \cdot Z5 \cdot X + Z1 \cdot Z2 \cdot Z3 \\
 & + Z1 \cdot Z2 \cdot Z5 + Z1 \cdot Z4 \cdot Y + Z1 \cdot Z4 \\
 & + Z3 \cdot Z4 \cdot X \quad (7)
 \end{aligned}$$

$$\begin{aligned}
 NZ5 = & Z1 \cdot Z2 \cdot Z5 + Z2 \cdot Z4 \cdot X + Z4 \cdot Z5 \cdot Y \\
 & + Z3 \cdot Z4 \cdot Y + Z1 \cdot Z3 \cdot Z5 \cdot Y \quad (8)
 \end{aligned}$$

上記のWDTにおいて、1個あるいは複数個のD-F/Fが"0"に誤ったとすると、励起関数の単調性から次のクロックで次状態は"00000"となり、その後は継続的にその状態にとどまることになる。従って、状態"00000"に対する出力を安全側に設計することにより、フェールセーフな機能を実現することができる。

図10に、フェールセーフWDTのレイアウトを示す。プロセスは表1と同じであり、全体の面積は、約228,000[μm<sup>2</sup>]である。但し、フェールセーフ機能の確認だけを目的としているため、レイアウト

面積の最小化は行っていない。

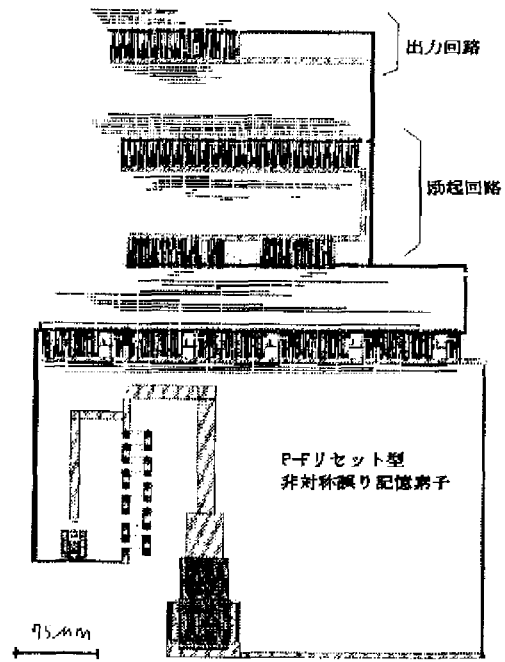


図10 フェールセーフウォッチドックタイマのレイアウト

## 5. フェールセーフウォッチドックタイマのシミュレーション実験

前述のシミュレーション環境のもとで、図8のように構成されるフェールセーフウォッチドックタイマのシミュレーション実験を行った。この回路では、5ビットのDタイプフリップフロップに対し、共通な1個のP-Fリセット回路を接続した。回路内のC, R内の4pF, 10kΩに設定した。

図11は、入力がクロックの3周期分の時間までに反転せず、タイムオーバーに陥ったときのフェールセーフウォッチドックタイマのシミュレーション結果である。入力Xを常に"1"に設定した結果、状態は"00110"→"10010"→"11100"→"01010"→"11001"のように変化し、タイムオーバーに陥ったため、出力OUT="0"となった。

図12は、電源の負方向のノイズに対するシミュレーション結果である。入力がクロックの3周期以内に反転するように設定し、正常な動作を行って

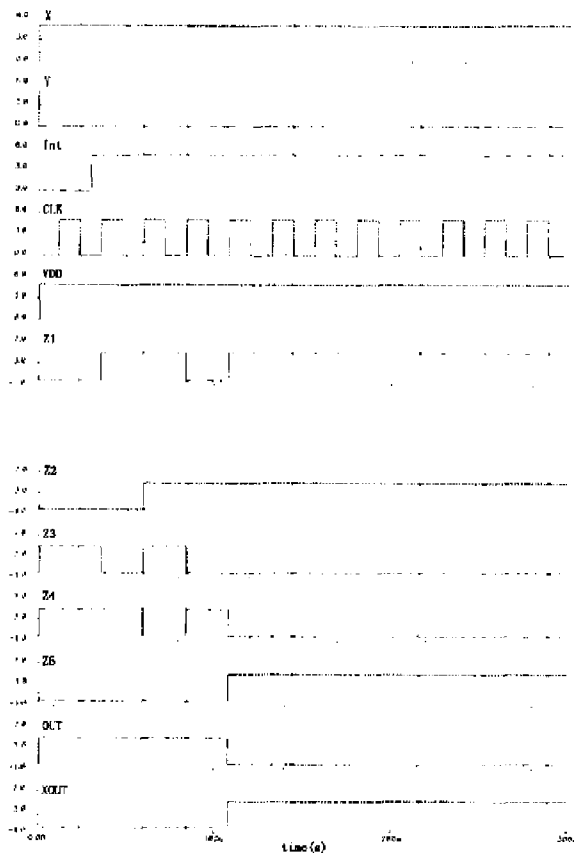


図 11 タイムオーバー時におけるフェールセーフウォッチドックタイマの動作シミュレーション

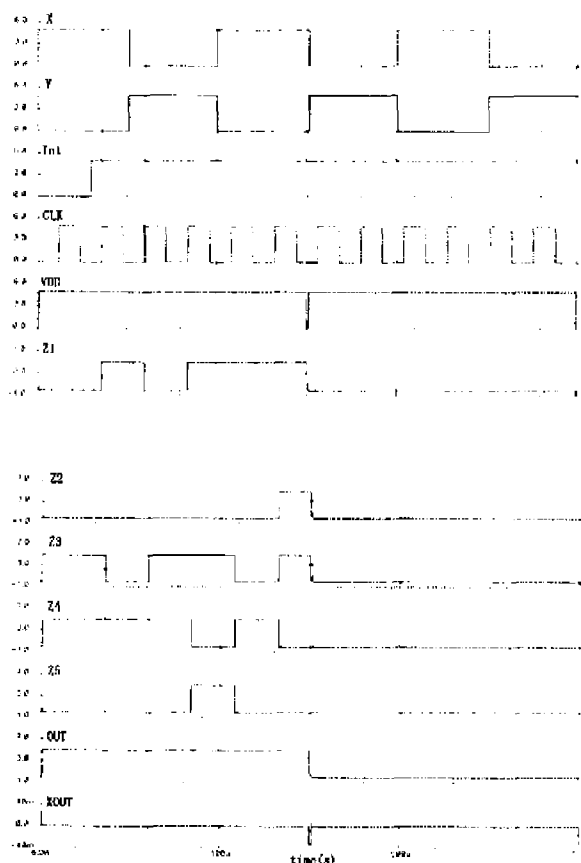


図 12 電源雑音環境におけるフェールセーフウォッチドックタイマの動作シミュレーション

る状態で、電源ノイズを想定し、電源電圧(VDD)を+5V→0V→+5Vに変動させた。その結果、電源電圧が+5V→0Vに変動した時点で回路の状態は全て“0”に収束し、回路の異常を知らせる出力を行う結果が得られた。

以上のシミュレーション実験結果から、提案する非対称誤り記憶素子を用いることによって、フェールセーフウォッチドックタイマを構成できることが確かめられた。

## 6. おわりに

本論文では、代表的な電源ノイズに対して非対称な誤り特性を持つ記憶素子を、チップ内にリセット機能を内蔵することで実現した。その動作を電子回路シミュレータSpectreによって確かめた。

さらに、提案する非対称誤り記憶素子を用いてフェールセーフウォッチドックタイマを構成し、その動作をシミュレーションによって確かめた。

現在、設計したLSIを試作依頼中であり、それが完成次第、実際のノイズ環境の元で、非対称誤り特性やフェールセーフ機能を確認実験する予定である。

なお、本研究におけるチップ試作は、東京大学大型集積システム研究教育センター(VDEC)を通し、ローム(株)、および凸版印刷(株)の協力で行われたものである。

## 参考文献

- 1) 当麻善弘(編): フォールトトレラントシステム論, 236/253, 電子情報通信学会(1990)
- 2) 鹿股昭雄, 千坂拓哉: 非対称誤り記憶素子の構成法とそのフォールトトレラントシステムへの応用, 信学論(D-I), J75-D-I-10, 954/957 (1992)
- 3) Neil H.E. Weste, Kamran Eshraghian(著), 高沢孝, 松山泰男(監訳): CMOSVLSI設計の原理, 103/110, 丸善株式会社(1988)
- 4) Parag K. Lala(著), 当麻善弘(監訳), 古屋清, 玉本英夫(訳): フォールトトレランス入門, 211/220, オーム社(1988)