

知能集積システム用低消費電力 リコンフィギャラブルVLSIプロセッサ

Low-Power Reconfigurable VLSI Processor for Intelligent Integrated Systems

張山 昌論, 森 俊介, 亀山 充隆

Masanori Hariyama, Shunsuke Mori, Michitaka Kameyama

東北大学情報科学研究科

Graduate School of Information Sciences
Tohoku University

キーワード : ハイレベルシンセシス (high-level synthesis), スケジューリング (scheduling),
アロケーション (allocation)

連絡先 : 〒980-8579 仙台市青葉区荒巻字青葉05 東北大学大学院情報科学研究科亀山研究室
森 俊介, Tel.: (022)217-7155, Fax.: (022)263-9167, E-mail: mori@kameyama.ecei.tohoku.ac.jp

1. まえがき

マルチメディア移動体通信, 通信, ロボティクス, 制御などの高速応答性が要求される応用分野においては, 汎用マイクロプロセッサだけでは速度要求を満たすことが難しいため, 専用プロセッサの開発が望まれる. 従来, 専用プロセッサとしては, プロセッサ毎に専用のマスクを作成するASICが主流であった. しかしながら, ASICの開発は, 開発期間が長く, コストも高い. 近年, このような問題を解決するデバイスとして, フィールドプログラマブルゲートアレイ (FPGA) が注目を集めている. Fig. 1に現在の典型的なFPGAの構成を示す. FPGAは, プログラム可能な演算器 (LUT) と, LUT間を接続するプログラム可能な配線 (SB) から構成される. 各LUTは任意の n 入力1出力関数 (通常 $n = 4$ 程度) を

実現できる. LUTやSBをプログラムすることにより, 並列処理が行えるため, 従来の汎用プロセッサに比べ, 高性能化を達成できる. さらに, 開発期間もASICの場合に比べ大幅に短縮できる. また, 1種類のFPGAデバイスを種々の専用プロセッサとして使用できるため, ASICに比べコストも減少できる. FPGAの問題としては, 以下のような原因により, ASICに比べ処理速度が大幅に低下することが挙げられる.

- LUTはメモリを用いて実現されているため, 専用に演算器を組んだ場合に比べ, 演算器の速度が低下する.
- LUT間の配線がSBを多段に通過する場合には, 配線遅延により速度が低下する.

特に、配線遅延に起因する性能劣化がFPGAにおいては深刻な問題となる。

以上のような従来のFPGAの問題を解決するために、本稿では、高性能リアルワールド応用リコンフィギャラブルVLSIプロセッサを提案する。リアルワールド応用知能システムの典型例である、高安全自動車システムなどの要素処理を検討した結果、異なるデータセットに対して同一の処理を行う負荷分散形並列処理がVLSI化の観点から有用であることを見出している。そこで、負荷分散形データフローに適合したアーキテクチャとして、隣接間配線に基づく2次元PEアレイアーキテクチャを提案する。この構成では、演算器間の通信の局所化・並列化が性能向上のポイントとなるため、最適スケジューリング・アロケーションおよび、冗長性に基づく通信の局所化・並列化のためのハイレベルシンセシスも併せて提案する。隣接間配線に基づく2次元PEアレイアーキテクチャと通信局所化を指向したハイレベルシンセシスの相乗効果により、従来のFPGAと比較して大幅な高性能化が可能となる。また、提案のリコンフィギャラブルVLSIプロセッサでは、演算器を高速化するために、論理回路で構成したALUを内蔵した演算器(PE)を用いる。さらに、低消費電力のために、複数電源電圧方式に基づくPE構成の検討を行う。

2. リコンフィギャラブルVLSIプロセッサの構成

2.1 負荷分散形データフローグラフ

Fig. 2に、リアルワールド応用知能システムの典型例である高安全自動車の概念図を示す。まず、自動車に搭載されたカメラから画像を取得し、ステレオビジョンにより障害物の3次元座標情報を計測する。次に、取得された障害物情報を用いて、安全な走行軌道が存在するかどうかのチェックを行う。この処理は、自動車と障害物間の衝突チェ

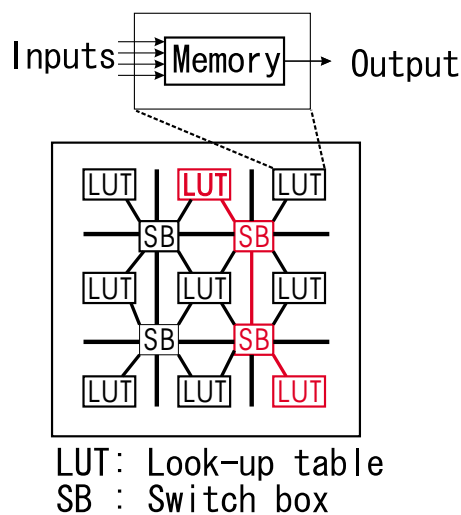


Fig. 1 従来のFPGAの構成.

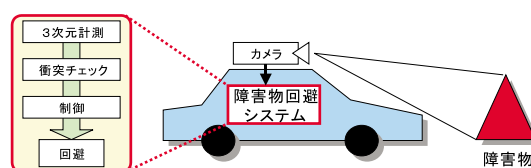


Fig. 2 高安全自動車概念図.

ックを繰り返すことにより行われる。もし、ある時間以内に安全に走行できる軌道が見つからない場合には、危険状態であると判断し運転者に警報を与える。ステレオビジョン、衝突チェックにおいては、膨大な3次元画像情報をリアルタイムで処理することが望まれるため、専用プロセッサの開発が必要となる。このような観点から、著者らはステレオビジョンVLSIプロセッサ¹⁾、衝突チェックVLSIプロセッサ²⁾等の高安全自動車の一連の処理のVLSI化を行っている。

Fig. 3に、ステレオビジョンとそのデータフローグラフ(DFG)を示す。ステレオビジョンでは、参照画像と候補画像間の対応を求めた後に三角測量の原理に基づき3次元情報を計測する。対応点探索においては、参照ウィンドウと複数の候補ウィンドウに対してSAD(Sum of Absolute Differences)を計算し、SADが最小となるウィンドウの中心点を対応点とする。そのDFGは、複数のデータセット

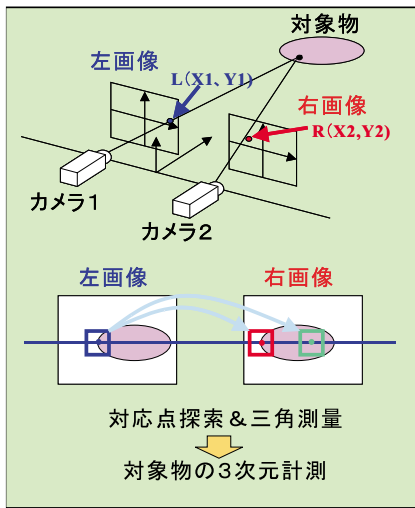


Fig. 3 ステレオビジョン.

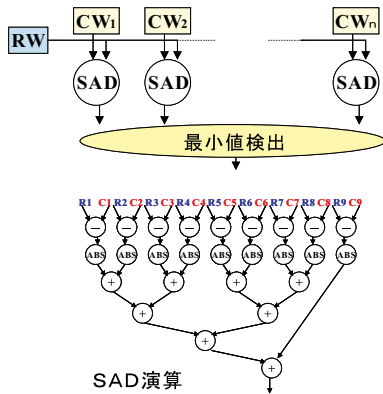


Fig. 4 ステレオビジョンのDFG.

(候補ウィンドウ)に対して、並列にSAD演算が行えるような負荷分散形DFGとなる。また、Fig. 5に、衝突チェックのDFGを示す。衝突チェックにおいても、ステレオビジョンと同様に、自動車の座標情報と障害物離散点情報の照合を並列に行う負荷分散形DFGとなる。このように、リアルワールド応用においては、膨大な数のデータセットに対して、同一の演算を行う負荷分散形DFGがVLSI化の観点からは重要となる。

2.2 全体の構成

Fig. 7に提案するリコンフィギャラブルVLSIプロセッサのブロック図を示す。1種類の演算器(PE)

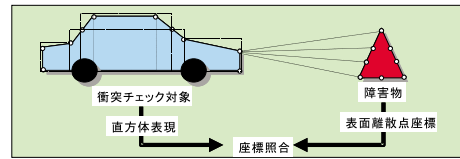


Fig. 5 衝突チェック.

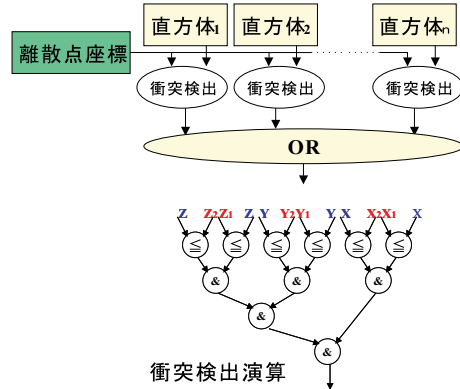


Fig. 6 衝突チェックのDFG.

が複数個内蔵され、各PE間では隣接したPE間だけで配線を有する。そのため、これらの配線は専用化され高速な通信が可能となっている。隣接したPE間では1ステップで通信が行える。また、PEに接続されたレジスタ間でデータをシフトすることにより通信を行うため、隣接しないPE間での通信には、通常PE間の距離に比例したステップ数がかかる。

負荷分散形DFGは、データセット間にデータの依存関係がない。したがって、1個のデータセットに対する演算を隣接したPEに割り当てれば、通信の局所化となる。このような理由から、負荷分散形DFGは、提案するアーキテクチャに適すると考えられる。また、通信の局所化を徹底するために、3章で述べるように通信時間をできるだけ短くするような、ハイレベルシンセシス(スケジューリング・アロケーション)が重要となる。

各PEには、ALUとメモリ(データメモリ、プログラムメモリ)、8近傍PEとの通信を行うための相互結合網が内蔵される。各PEごとに、プログラムメモリは、ALUでの演算の他に、相互結合網の接

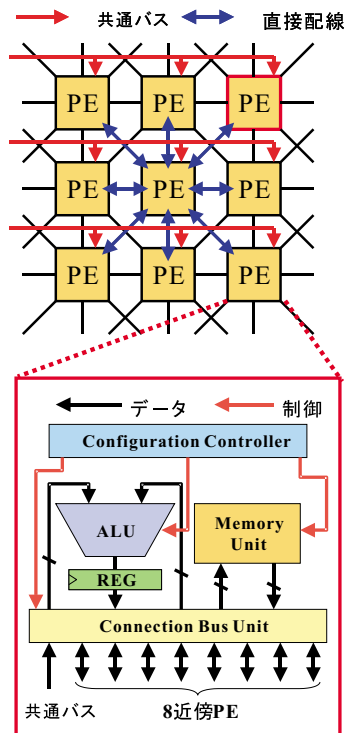


Fig. 7 リコンフィギャラブルVLSIプロセッサのブロック図.

続を制御する。そのため、PEの機能、及びPE間接続を動的に切替えることが可能となり、PEの稼働率を向上できる。

2.3 加算器ベースALUの構成

ALUでは、種々の演算に対応するために、以下の基本演算を行えるように設計する。

- 算術演算(加算, 減算, 除算, 乗算)
- 論理演算(論理否定, 論理和, 論理積)
- 比較演算(大小比較, 一致検出)

これらの機能を実現するための、ALUの構成を Fig. 8に示す。ALUは、大きく分けて、算術演算を行うための部分と、論理演算を行う部分から構成される。算術演算は、頻繁に用いられる演算であるため、高速に実行できることが望まれる。乗算・除算はハードウェア量が大きく、必ずしも頻繁に用いられるとは限らない。そこで、算術演算は全て全

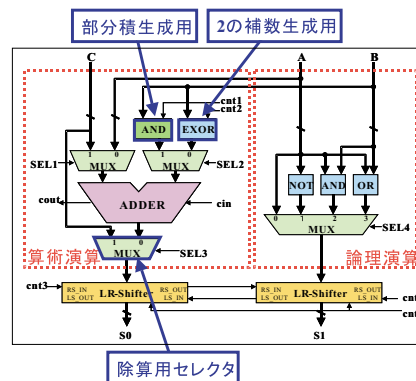


Fig. 8 加算器ベースALUの構成.

加算の繰り返しにより行われることに着目した加算器ベースALUを構成している。ただし、乗算を効率よく行うための部分積生成回路を加算器に付加している。

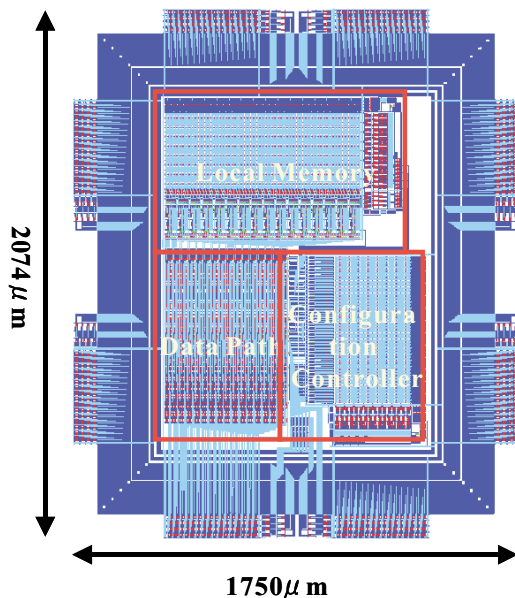
Fig. 9にPEのレイアウトを示す。その結果、データパスに比べ制御部・メモリ部の占める面積が比較的大きくなることがわかった。これは、Local Memory, 及び、プログラムメモリをSRAMを用いて構成したためである。

2.4 低消費電力化に関する考察

CMOS回路において、消費電力 P , 負荷容量 C , 電源電圧 V , 周波数 F との関係は次式で与えられる。

$$P \propto CV^2F \quad (1)$$

この式から、低消費電力化のために、最も効果的なのは電源電圧を低下することだと言える。そこで、Fig. 10に示すような複数電源電圧方式を導入検討する。この方式では、Fig. 11に示すように、クリティカルパス上にない演算を電源電圧が低いPEで行うことにより、消費電力を減少することが可能となる。



設計ルール	CMOS 0.5μ 二層メタル
面積	3.63mm ²
動作電圧	3.3v
処理速度	5.45ns
トランジスタ数	17.1k

Fig. 9 PEレイアウト.

3. 通信の局所化・並列化のための ハイレベルシンセシス

3.1 最適スケジューリング・アロケーション

シフトレジスタ構造に基づきデータ通信を行うアーキテクチャにおいては、スケジューリングおよび、アロケーションが高性能化の重要なポイントとなる。Fig. 12にスケジューリングおよびアロケーションの例を示す。簡単のために、1次元のシフトレジスタ構造を考える。Fig. 12(a)に示すようにスケジューリングおよびアロケーションを行った場合には、演算O₁の結果をO₂で使用するために、PE₁からPE₃へのデータ転送が必要となる。また、演算O₃の結果をO₄で使用するために、PE₂から

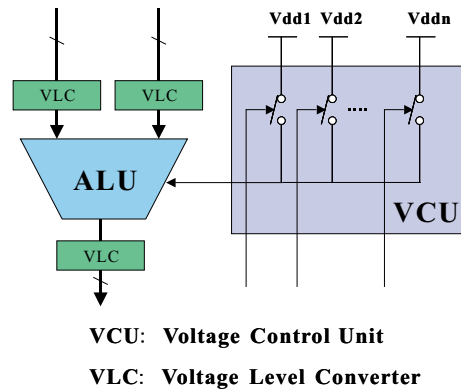
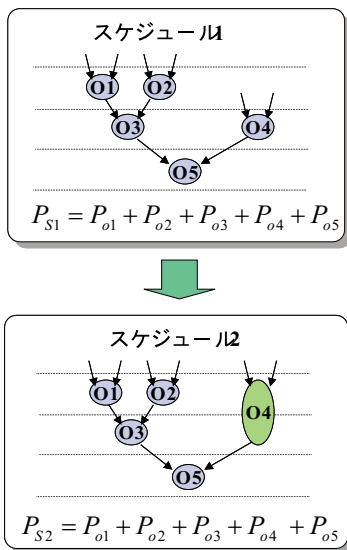


Fig. 10 複数電源方式のためのPEの構成.

PE₄へのデータ転送が必要となる。この場合、PE₂とPE₃の間の配線において、通信の競合を生じないようにするために、Step 2において、PE₂からPE₄へのデータ転送を一時中断している。一方、Fig. 12(b)に示すスケジューリング・アロケーションでは、PEでの通信が局所化されているため、演算O₁の結果をO₂で使用するための通信PE₁ PE₃、演算O₃の結果をO₄で使用するための通信PE₂ PE₄が並列に行える。このように、スケジューリングおよびアロケーションにより、処理時間が異なるため、最適なスケジューリング・アロケーションを求めることが重要となる。

本アーキテクチャでは、アロケーションにより通信時間が異なるために、スケジューリングにおいてもアロケーションの情報を考慮する必要がある。そのための手法として、スケジューリング・アロケーションの統合に基づく手法^{3),4)}を用いる。この方法では、各演算ノードに対するスケジューリング・アロケーションをFig. 13に示すように木探索で表現している。さらに、総当たり探索では探索空間が膨大となるために、クリティカルパスに着目した処理時間の下限に基づく分枝限定法により探索空間を効率よく限定している。

本稿では、FPGAアーキテクチャの性質に着目し、探索空間をさらに限定する。従来の問題設定³⁾では、各PEは異なる機能を有する場合を考慮した一



$$P_{o4} = C_{o4} V_2^2 > P_{o4} = C_{o4} V_1^2 \quad \text{駆動電圧 } V_1 < V_2$$

$$\therefore P_{S2} < P_{S1}$$

V1

V2

Fig. 11 低消費電力化のための演算器アロケーション.

一般的な場合を取り扱っていた. 一方, 本稿では, 各 PEは全て同じ構成であるために, 明らかに性能が同じアロケーションが存在する. そこで, そのようなアロケーションの探索を省略することにより, 探索空間を限定できる.

4. むすび

本稿では, リアルワールド応用のための再構成可能VLSIプロセッサを提案した. リアルワールド応用において重要となる負荷分散形DFGに着目し隣接間通信アーキテクチャを提案した. このアーキテクチャをステレオビジョンの例でASICによる実現と比較したところ, 同等の性能で5倍程度の面積となることが分かった.

また, 任意のDFGが与えられた場合に, 本アーキテクチャにマッピングを行うスケジューリング・アロケーション手法の検討が重要である. 現状では, 実用的な時間でマッピングできるのは, ごく小規模の問題だけである. そこで, より大規模かつ実用

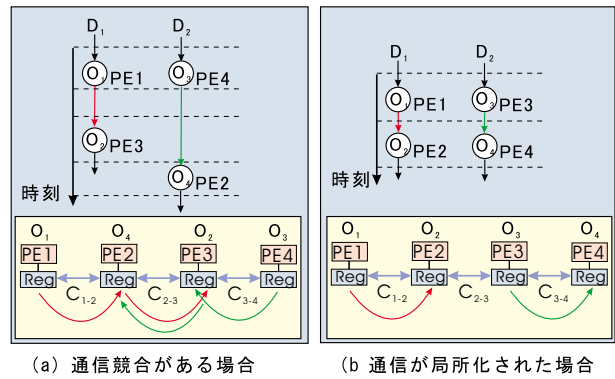


Fig. 12 最適アロケーション・スケジューリングの必要性.

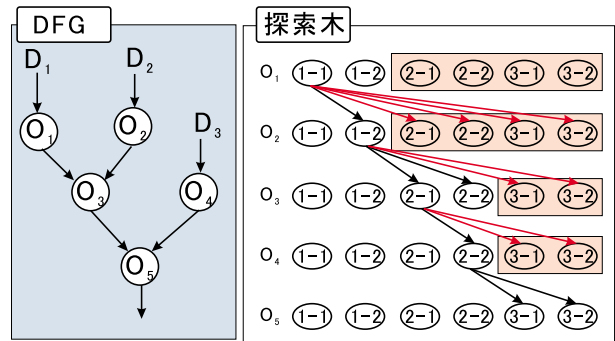


Fig. 13 木探索によるスケジューリングとアロケーションの統合.

的な問題を, 本アーキテクチャにマッピングするための手法の検討が重要となる.

参考文献

- 1) 張山 昌論, 李 昇桓, 亀山 充隆, "転送ボトルネックのないセンサ・メモリアーキテクチャに基づくモーションステレオVLSIプロセッサの構成", 電気学会論文誌, 120-E, 5, pp.237-243(2000).
- 2) Masanori Hariyama, Kazuhiro Sasaki, Michitaka Kameyama, "Collision Detection VLSI Processor for Intelligent Vehicles Using a Hierarchically-Content-Addressable Memory," IEICE Trans. Electron, E82-C, 9, pp.1722-1729(1999).
- 3) 工藤隆男, 亀山充隆, "シフトレジスタ構造に基づくロジックインメモリVLSIプロセッサとその応用," 計測自動制御学会東北支部研究集会, 187-15(2000).
- 4) 工藤隆男, 亀山充隆, "転送ボトルネックフリーVLSIシステムのハイレベルシンセシス," 計測自動制御学会東北支部研究集会, 188-6(2000).