

ビットシリアルアーキテクチャと演算語長の再構成に基づく ロボット制御用並列プロセッサの構成

Design of a Parallel Processor for Robot Control Based on Bit-Serial Architecture and the Reconfiguration of Word-Length

○藤岡 与周 苫米地 宣裕

○Yoshichika Fujioka and Nobuhiro Tomabechi

八戸工業大学

Hachinohe Institute of Technology

キーワード： 微小演算遅れ時間 (small delay time), 知能ロボットシステム (intelligent robot system), 多入力積和演算 (multi-operand multiply-addition), ビットシリアルアーキテクチャ (bit-serial architecture), 演算語長 (word-length)

連絡先： 〒031 青森県八戸市大字妙字大開 88-1 八戸工業大学 工学部 電気工学科
藤岡与周, Tel.: (0178)25-8063, Fax.: (0178)25-1430, E-mail: fujioka@hi-tech.ac.jp

1. まえがき

自律的動作を目指した知能ロボット実現のためには、外界の環境の認識から柔軟なマニピュレータ制御に至るまで多種多様な処理が必要となる。これらの一連の処理は情報の流れが直列的であると共にセンサフィードバックが多いことから、外界環境の変化に高速に応答するためには、個々の処理に対してスループットの向上のみではなくセンサ信号が入力されてから制御出力が計算されるまでの、演算遅れ時間が小さい VLSI プロセッサの開発が重要な問題となる^{1)~9)}。

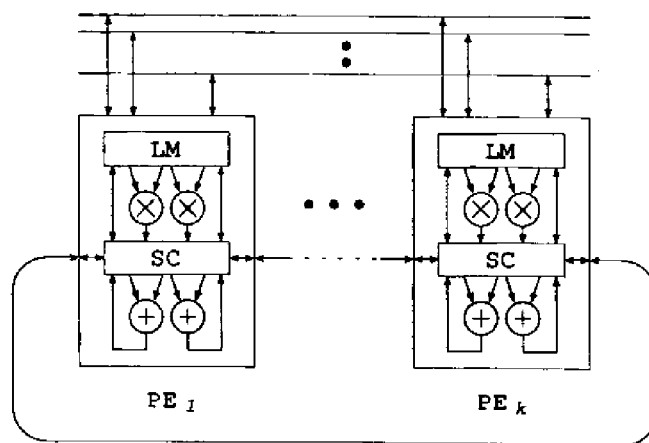
本稿では、知能ロボットシステムにおいて必要となる種々の入力数の積和演算の遅れ時間を減少するため、演算部の徹底的な稼働効率向上という観点から、多入力積和演算器の再構成という概念

に、ビットシリアルアーキテクチャの導入による要素プロセッサ (PE) の回路面積と多入力積和演算時間の積 (AT 積) の減少と、演算語長の再構成という概念を組み合わせた新しい再構成可能並列プロセッサの構成を提案している。多入力積和演算器の再構成は、複数個の PE を用いて所望の個数の乗算器を含む多入力積和演算器を、スイッチ回路の切換えによりダイナミックに形成できることを意味している。PE 間通信が、スイッチ回路の切換えによる乗算器や加算器等の各入出力間の直接接続に掃着されるため、PE 間通信のオーバーヘッドが減少し乗算器や加算器などの稼働効率が向上する特長がある。また、再構成可能並列プロセッサは通信オーバーヘッドが小さいため、多入力積和演算時間の減少とともに、PE の回路面積の減少による PE 数の増加もまた総合的な演算性能の向

上に有用となる。したがって、ビットシリアルアーキテクチャに基づくAT積の減少により、乗算器や加算器に加え、チップ内部配線の面積や稼働効率をも徹底的に向上している。さらに、ビジュアルフィードバック制御においては1ビットから32ビット程度までの演算語長が必要となる。このため、所望とする演算語長に応じて乗算器や加算器の構成を変化させ、演算語長に反比例して演算器の個数を増化させることにより、さらなる稼働効率の向上と高並列処理を可能としている。以上より、知能ロボットのビジュアルフィードバック制御における代表的な処理である画像2値化と重心計算について評価を行なった結果、提案する再構成可能並列プロセッサを用いることにより、デジタル信号処理プロセッサ(DSP)を用いた並列プロセッサと比較して演算遅れ時間を約1/10に減少できることを明らかにしている。

2. 再構成可能並列プロセッサアーキテクチャ

計算量の多いデジタル制御には、複数個のDSPからなる並列プロセッサが多く用いられている。しかし、DSP間のデータ転送のためにハンドシェイクなどのソフトウェア手続きが必要であり、通信のオーバーヘッドが大きいため、演算遅れ時間を減少することが困難であるという問題がある。デジタル制御のための種々の多入力積和演算を高並列に実行し演算遅れ時間を減少するため、Fig. 1に示す再構成可能並列アーキテクチャを提案している^{7,8)}。各PEは2つの乗算器と加算器、ローカルメモリ、スイッチ回路を備えている。このスイッチ回路は、乗算器と加算器間の直接接続を切換えて、所望の個数の乗算器を含む多入力積和演算器を再構成するためのものであり、リング状に結合されている。また、再構成されたPE間のデータ転送を容易とするため、各PEは多重



⊗: 乗算器 LM: ローカルメモリ PE: 要素プロセッサ
⊕: 加算器 SC: スイッチ回路

Fig. 1 再構成可能並列アーキテクチャ

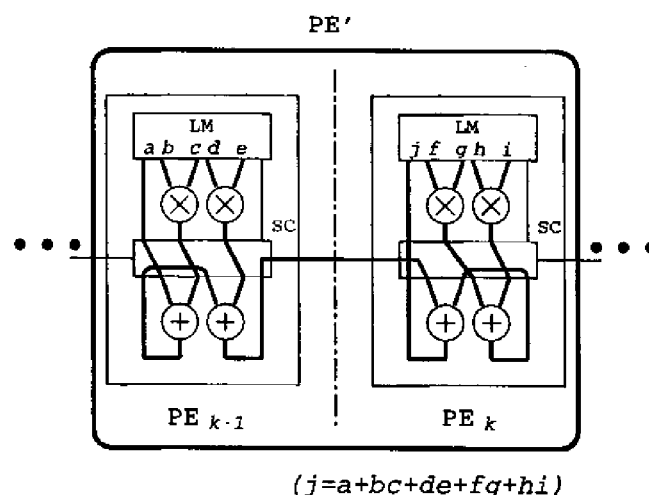


Fig. 2 多入力積和演算器の再構成

バスにより結合されている。一例として、4個の乗算器を含む多入力積和演算器を再構成する場合をFig. 2に示す。このように、スイッチ回路の接続を切替えて多入力積和演算器を再構成することにより、所望とする個数の乗算器を含む多入力積和演算器を備えた要素プロセッサPE'を新たに複数個のPEで再構成し、多入力積和演算をソフトウェアによる通信手順なしに高速に行うことができる。また、再構成された多入力積和演算器は、乗算器と加算器の入出力間が直接接続されているため、多入力積和演算に伴うPE間通信は積和演算と同時にされる。従って、PE間通信のオー

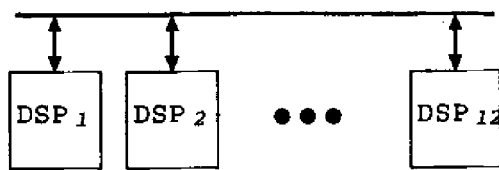


Fig. 3 DSPにより構成された並列プロセッサ

オーバーヘッドが大幅に減少し、乗算器や加算器の稼働効率が向上するため、知能ロボット制御に必要な種々の多入力積和演算の遅れ時間を減少できる。

一例として、次式により表される積和演算の実行は以下のようになる。

$$c_i = \sum_{j=1}^4 a_{ij} b_j \quad (i = 1, \dots, 3) \quad (1)$$

再構成可能並列プロセッサにより並列性が最大となるように演算をおこなうためには、6個のPEが必要となる。式(1)で表される多入力積和演算器を備えたPEが、各プログラムステップ毎の動的なスイッチ回路の切換えにより再構成されるため、並列処理に伴うPE間データ転送をソフトウェア手続きにより行なう必要がない。ここで、乗算器の演算時間を1クロックサイクルと定義すると、加算器の演算時間が乗算器の演算時間と比較して十分小さい場合には、乗算を1クロックサイクル、また乗算結果の加算を1クロックサイクルの合計2クロックサイクルで実行できる。

計算量の多いデジタル制御には、Fig.3に示すような複数個のDSPにより構成された並列プロセッサが用いられることが多い。多くのDSPは、乗算器、加算器、パラレル入出力ポートを各1つずつしか備えていないため、各DSPが単一共有バス結合された構造となっている。式(1)で表される積和演算を並列性が最大となるように実行するためには12個のDSPが必要となるが、合計9個の中間結果のDSP間通信を、単一共有バスにより行なう必要がある。1個のデータをPE間で転

送するためには、少なくとも1クロックサイクル必要であるとともに、単一共有バスで各DSPが結合されているため同時に1つのデータしか転送することができない。従って、式(1)で表される積和演算を行うためには、少なくとも12クロックサイクル必要となる。提案する再構成可能並列プロセッサを用いる場合と比較すると、演算遅れ時間は6倍以上となる。このようにDSP間の通信オーバーヘッドが大きいため、できるだけDSP間データ転送回数が少なくなるように並列処理を行なうことが多い。DSP内部で乗算と加算をオーバーラップ処理可能である場合、式(1)により表される多入力演算は3個のDSPを用いて5クロックサイクルで実行される。データ転送回数が少なくなるように並列処理を行なう場合にはしばしば並列性が犠牲となるため、再構成可能並列プロセッサと比較すると、演算遅れ時間は2.5倍となる。従って、再構成可能並列プロセッサを用いることにより、複数個のDSPにより構成された並列プロセッサを用いる場合と比べて演算遅れ時間を大幅に減少できることが明らかである。

3. ビットシリアルアーキテクチャに基づく再構成可能並列プロセッサの構成

乗算器や加算器に加えて、チップ内配線やメモリをも含めた徹底的な稼働効率の向上が、PEの演算性能向上に有用となる。また、ビットシリアルアーキテクチャは、演算回路面積や配線数の減少が容易であるのみならず、ビット単位でのパイプライン処理による演算器内部の稼働効率の大幅な向上が容易であるという特長を有する。このような観点から、ビットシリアルアーキテクチャに基づくAT積の小さいPEの構成を提案している。

まず、PEの演算部においては、ビット単位のパイプライン処理に加え、データ転送、乗算、加算の

オーバーラップ処理により、演算器や配線の稼働効率を徹底的に向上している。これにより、配線面積を含む演算部の回路面積を大幅に減少できるとともに、ビットシリアルアーキテクチャでありながら多入力積和演算の遅れ時間の増加分を徹底的に抑えることができる。

次に、ローカルメモリや VLIW 制御メモリからなるメモリ部については、記憶容量を減少しない場合、ビットパラレルアーキテクチャに基づく PE のメモリアーキテクチャをそのまま導入すると、メモリ部の回路面積を十分に減少することができない。すなわち、演算部の回路面積だけを減少しても、メモリ部の回路面積を減少しなければ PE 全体の面積を十分に減少できない。これに対し、ビットシリアルアーキテクチャの導入によりメモリアクセス時間に大幅な余裕が生じることに着目し、稼働効率の徹底的向上という観点から、回路面積の小さいダイナミック RAM (DRAM) とその時分割利用法を採用することにより、メモリ部の回路面積を大幅に減少している。

以上のような概念に基づく AT 積の小さい再構成可能並列プロセッサは、1 回あたりの多入力積和演算の遅れ時間が増大するものの、ハードウェア量が制限され、かつ演算器の個数に比べて同時に処理可能なデータ数が十分多い場合には、ビットパラレルアーキテクチャに基づく場合と比較して総合的な演算性能を大幅に向上可能である。

3.1 演算部の構成

ビットシリアルアーキテクチャは、乗算器や加算器の回路面積とともに配線面積の大幅な減少に有用である。しかし、データ転送、乗算、加算に要する遅れ時間がそれぞれ大幅に増大するため、これらを逐次的に行なうアーキテクチャでは、Fig.4 に示すように多入力積和演算の遅れ時間が大幅に増加し、AT 積の減少が困難である。

これに対し、再構成可能並列アーキテクチャに

おいては、乗算、加算、データ転送にビット単位でのパイプライン処理を導入することにより、Fig.5 に示すように、乗算、加算、データ転送のオーバーラップ処理による演算遅れ時間の大幅な減少が可能となる。これは、再構成可能並列プロセッサにおいては、DSP を用いた並列処理のように、乗算結果や加算結果を一時的にレジスタに格納する必要がないためである。すなわち、所望とする入力数の多入力積和演算器の構成に応じて乗算器や加算器の入出力を直接接続することができるため、ローカルメモリや直前に再構成された多入力積和演算器出力などから乗算器へ 1 ビット目のデータが入力されると同時に乗算を開始することができる。この場合、2 ビット目以降のデータ入力と乗算をオーバーラップ処理できる。同様にして、乗算結果の 1 ビット目が加算器へ出力されると同時に多入力積和演算器の加算器において積の加算を開始でき、また、多入力積和演算結果の 1 ビット目が出力されると同時にグローバルなデータ転送やローカルメモリへの書き込みなどを開始することができる。以上より、演算器入出力間の直接接続の切換えという概念に基づく再構成可能並列プロセッサは、ビットシリアルアーキテクチャを導入することにより、演算器の回路面積や配線面積を大幅に減少できるのみならず、乗算、加算やデータ転送のオーバーラップ処理が可能であるため多入力積和演算の遅れ時間の増加が少ないという特長を有する。

演算部を構成するビットシリアル乗算器としては、直列乗算器と直列/並列乗算器があげられるが、AT 積の減少という観点から直列/並列乗算器が有用となる。この乗算器はビット単位でのパイプライン処理を容易に導入できるため、乗算器内に備えられる全加算器レベルでの稼働効率の高い並列処理が可能であり、パイプラインクロック周期はほぼ全加算器の遅延時間と等しい。

この場合、演算語長を n ビットとすると、1 ビッ

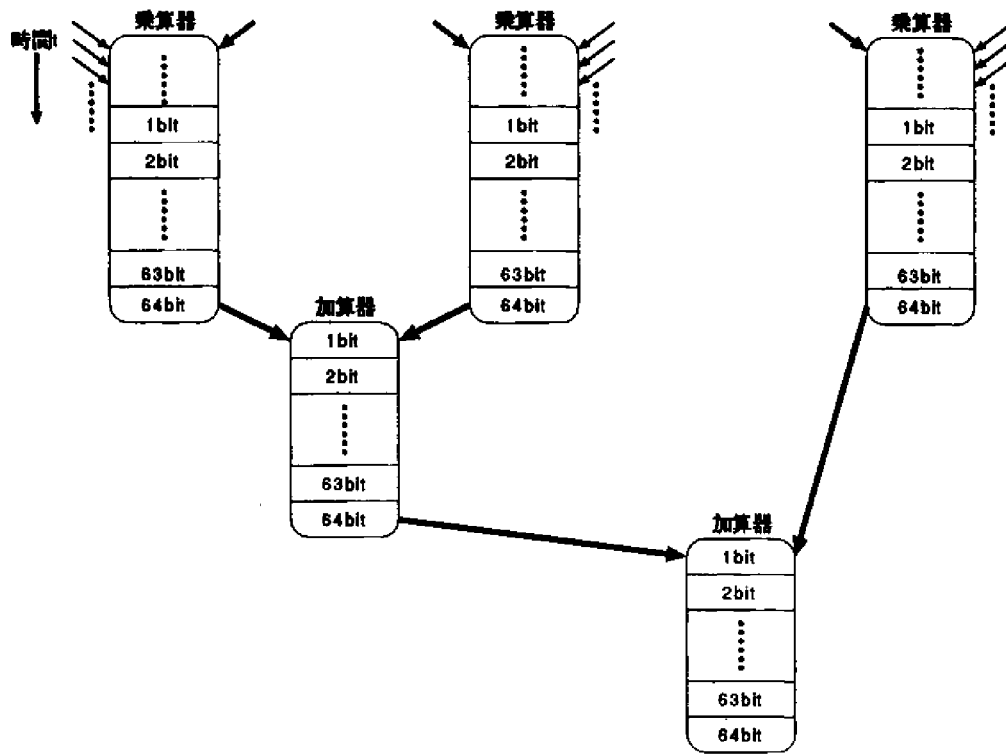


Fig. 4 乗算結果がすべて得られた後に加算を行なう場合

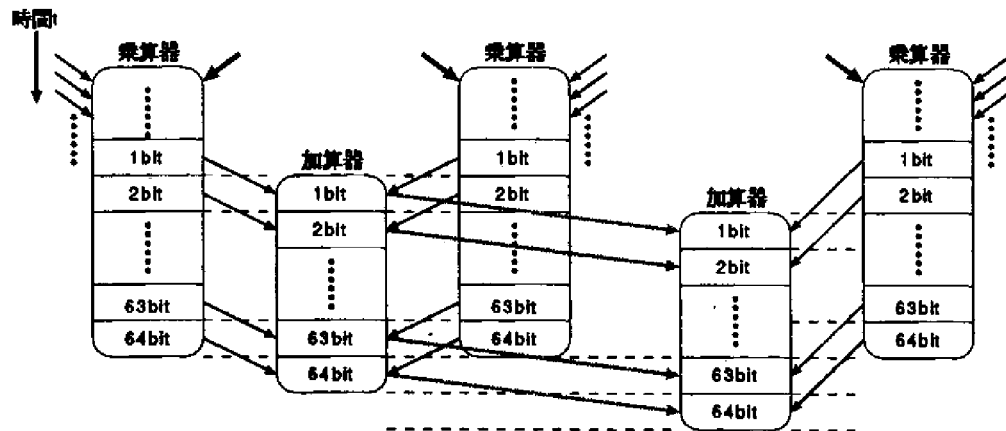


Fig. 5 乗算と加算のオーバーラップ処理

ト目のデータが入力されてから乗算結果の全ビットが出力されるまでの乗算時間は $3n-1$ クロックサイクルとなるが、乗算結果の1ビット目が出力されるまでの遅れ時間は $2n-1$ クロックサイクルとなる。したがって、再構成された多入力積和演算器の加算器の最大通過段数が k 段である場合には、多入力積和演算結果の1ビット目が出力されるまでの演算遅れ時間は $2n+k-1$ クロックサイクルとなる。ロボット制御においては $n \gg k$ が成り立

つ場合が多いため、ほぼ $2n$ クロックサイクルで多入力積和演算の繰り返し実行が可能となる。

一方、乗算や加算結果を一時的にレジスタに格納しながら処理を行なう場合、すなわち、乗算、加算やデータ転送を行なうたびにデータのシリアル/パラレル変換が要求されるようなアーキテクチャにおいては、乗算、加算、データ転送にそれぞれ $3n-1$, kn , n クロックサイクル、合計すると多入力積和演算1回あたり約 $(k+4)n$ クロックサイ

クルの遅れ時間が必要となる。一例として、 $k=4$ である場合には、提案する再構成可能並列プロセッサと比較すると多入力積和演算の遅れ時間が約4倍となる。以上より、ビットシリアルアーキテクチャに基づく再構成可能並列プロセッサは、演算部の回路面積や配線面積を大幅に減少できるのみならず、演算遅れ時間をも従来のビットシリアル演算方式と比較して数分の一に減少できるため、AT積の減少に有用である。

3.2 メモリ部の構成

PEのチップ面積を減少するためには、演算部のみならず、ローカルメモリやVLIW制御メモリからなるメモリ部の面積をも大幅に減少する必要がある。しかし、メモリ部に要求される記憶容量はビットパラレルアーキテクチャやビットシリアルアーキテクチャに関わらず変化しないため、ビットパラレルアーキテクチャに基づくPEのメモリ部の構成をそのまま導入しても回路面積を減少できない。そこで、ビットシリアルアーキテクチャに基づく再構成可能並列プロセッサにおいては多入力積和演算時間の増加によりメモリアクセス時間に余裕が生じることに着目し、稼働効率の徹底的向上という観点から、DRAMとその時分割利用により演算遅れ時間を増大させることなくメモリ部の回路面積を減少している。

ビットパラレルアーキテクチャに基づくPEのローカルメモリは、乗算時間以内の高速メモリアクセスが要求されるため、6個のデュアルポートSRAMに同じ内容を冗長に記憶してメモリアクセス時間を減少するアーキテクチャとしており、チップ面積が大きい。これに対し、ビットシリアルアーキテクチャに基づくPEでは、1回あたりの多入力積和演算時間が大きいいため、メモリアクセス時間は大きいものの回路面積の小さいDRAMにより、ローカルメモリの回路面積を減少できる。さらに、DRAMのアクセス時間が多入力積和演算の遅

れ時間の数分の一である場合には、多入力積和演算時間以内に複数回に分けてDRAMへのメモリアクセスを行なうことにより、ローカルメモリに要求されるマルチポートメモリの機能を等価的に実現できる。すなわち、DRAMの時分割利用により、ローカルメモリの面積をさらに数分の一に減少可能である。同様にして、VLIWプログラムメモリについても多入力積和演算時間以内にメモリアクセスを行えばよいため、回路面積の小さいDRAMを用いることにより、回路面積を大幅に減少できる。以上の結果、ビットシリアルアーキテクチャの導入により、演算部のAT積のみならず、演算性能を低下させることなくメモリ部の回路面積をも大幅に減少できるため、PE全体のAT積を大幅に減少可能となる。

4. 演算語長の再構成

知能ロボットのビジュアルフィードバック制御においては、画像処理からマニピュレータ制御まで種々の処理が必要となる。これらの処理では多くの多入力積和演算が必要となるとともに、処理により演算語長が異なる。従来の再構成可能並列プロセッサは、演算語長を変化させることができなかったため、短い演算語長で十分な場合でも長い演算語長の乗算器や加算器を用いて処理を行なう必要があった。これに対し、必要となる演算語長に応じて乗算器や加算器を分割し、演算語長が短い場合にはそれに反比例して演算器の個数を増化させることができれば、ハードウェアの利用効率が向上するとともに高並列処理が可能となる。そこで、ビットシリアルアーキテクチャに基づき、かつ演算語長の再構成が可能な並列プロセッサアーキテクチャを提案する。ビットシリアルアーキテクチャにもとづく演算語長の再構成は、主に乗算器を新たに演算語長を再構成できるように変更するだけで実現可能である。加算器、メモリやスイ

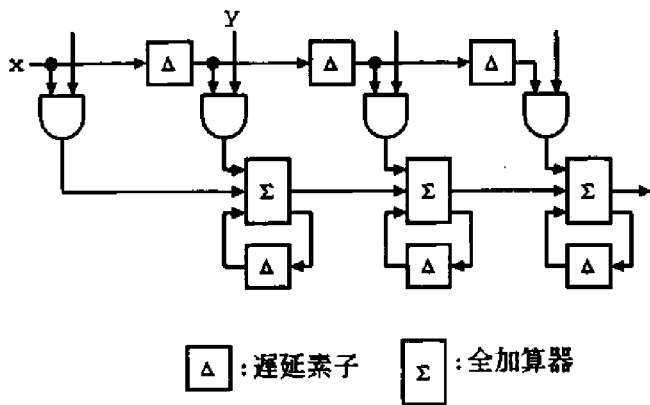


Fig. 6 4ビット直列/並列乗算器

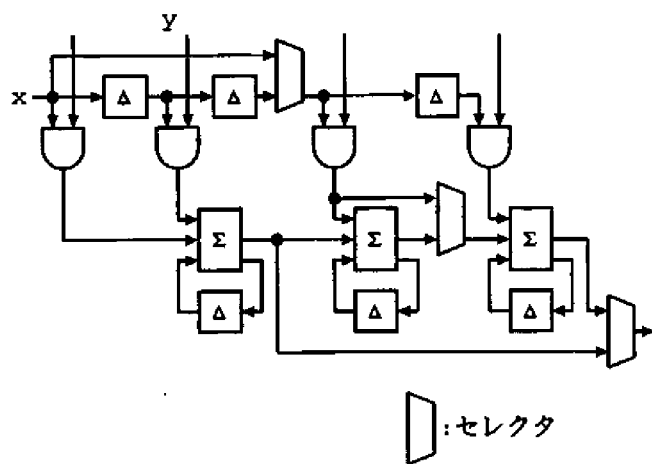


Fig. 7 演算語長を再構成可能な4ビット直列/並列乗算器

この回路は乗算器のようなビット間の依存関係がないため、基本的に従来と同様のアーキテクチャとすることが可能である。したがって、クロスバスイッチなどによる任意のシフト機能を備えたスイッチ回路とすることにより、メモリやスイッチ回路の効率的利用が可能となる。

Fig.6に、ビットシリアルアーキテクチャに基づくPEに備えられている直列/並列乗算器の構成を示す。直列/並列乗算器は規則的構造を有するため、種々の演算語長に応じて構造を変えることが容易である。そこで、マルチプレクサによるセクタを挿入した、演算語長を再構成可能な直列/並列乗算器の構成をFig.7に示す。Fig.7は4ビット乗算器の構成を示しているが、直列/並列乗算器の

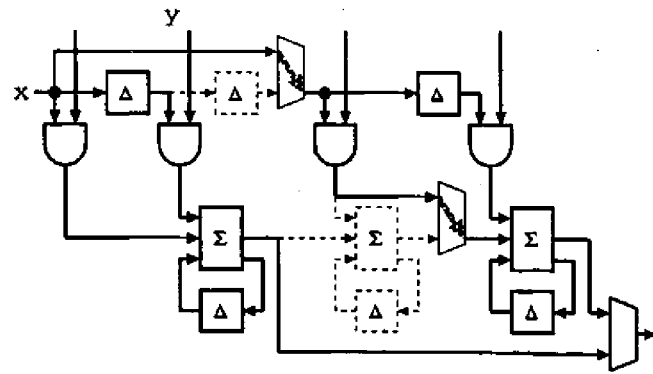


Fig. 8 2個の2ビット直列/並列乗算器の再構成

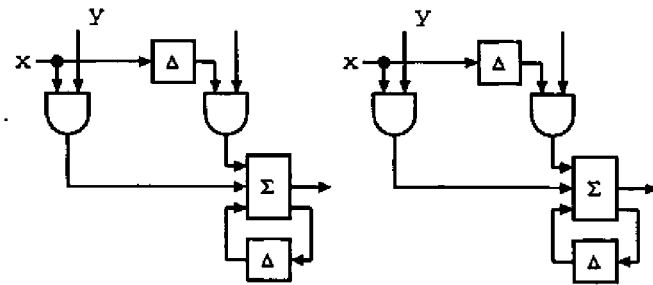


Fig. 9 2個の2ビット直列/並列乗算器

構造の規則性により、演算語長が大きい場合でも同様の考え方により容易に拡張できる。このように、各プログラムステップ毎に所望とする演算語長に応じてセクタを切換えて乗算器を複数の部分に分割して利用することにより、乗算器に備えられた全加算器の稼働効率を徹底的に向上可能である。Fig.8に、2個の2ビット乗算器を再構成する場合を示す。この結果、Fig.9に示すような2個の2ビット直列/並列乗算器と同様の機能を有する乗算器を再構成することができる。さらに、直列/並列乗算器には演算語長分の個数の全加算器が備えられているため、セクタを追加することにより、乗算器のみならず複数個の直列加算器としても利用可能である。なお、直列加算器における演算語長の再構成は、入力される直列データのビット数を変化させるだけで良く、構造的な変化を必要としない。以上より、種々の演算語長が要求される場合でも、ビットシリアルアーキテクチャに基づくPE

Table 1 ビットシリアルアーキテクチャに基づく PE の諸元

設計ルール	0.8- μ m CMOS 2層メタル
動作速度	250MHz
クロック周期	4ns
チップサイズ	7.9mm \times 1.0mm
数値表現	32ビット固定小数
ローカルメモリ	64ワード \times 32ビット
乗算器	2ポートメモリ \times 2個 32 \times 32ビット
加算器	直列/並列乗算器 \times 2個 全加算器 \times 2個
スイッチ回路	1ビット 20 \times 15 クロスパススイッチ \times 1個
入出力ポート数	1bit 7ポート
制御方法	VLIW 制御

の構成による全加算器レベルでの徹底的な稼働個率の向上が可能であるため、AT積の減少と総合的な演算性能の向上に有用である。

5. ビジュアルフィードバック制御への応用

ビットシリアルアーキテクチャに基づく PE のチップレイアウトとその諸元をそれぞれ Fig.10と Table 1に示す。ビットパラレルアーキテクチャに基づく PE と比較すると、演算部やメモリ部に加えて配線面積をも大幅に減少できるため、PE 全体のチップ面積を 1/28 に減少できる。すなわち、ビットパラレルアーキテクチャに基づく PE 1 個分の面積である 15 mm 角程度のシングルチップ内に、28 個の PE を備えることが可能である。

また、AT積の比較を Table 2に示す。多入力積和演算時間の評価法としては、1 回あたりの絶対遅れ時間である T_0 と、パイプライン処理のスループット性能に相当する多入力積和演算結果の出力時間間隔 T_b を用いる方法があげられる。ビットシリアルアーキテクチャに基づく再構成可能並列プロセッサは、演算器の個数と比較して演算可能なデータ数が十分多い場合に演算性能を十分に活用できる。このように並列性が十分高い応用例では、

パイプライン処理により処理全体の演算遅れ時間の減少が可能である。したがって、AT積の評価には T_0 を用いることが適当である。多入力積和演算の入力数により T_b はそれぞれ異なるが、以下では、ロボット制御に多く用いられる 3 個の乗算器と 3 個の加算器を備えた多入力積和演算の T_b を代表値として用いることにする。

ビットパラレルアーキテクチャに基づく PE においては、乗算器と加算器の間にパイプラインレジスタを備えることにより、 T_b が乗算時間 27ns と等しくなる。これに対し、ビットシリアルアーキテクチャに基づく PE においては、クロック周期が 4ns となることから、演算語長が 32ビットの場合 T_b は 260ns となる。したがって、多入力積和演算の繰り返し実行時間 T_b は、ビットパラレルアーキテクチャに基づく PE と比較すると 9.6 倍に増加するものの、PE の面積を 1/28 に減少できるため、PE の AT積を約 1/3 に減少できる。すなわち、並列プロセッサ全体の演算性能を約 3 倍に向上できる。

知能ロボットのビジュアルフィードバック制御には、カメラからの画像取り込みからマニピュレータ制御に至るまで種々の処理が必要となる。ここでは、簡単な例題として、画像 2 値化、2 値化画像における対象物体の重心計算、対象物体の 3 次元座標からマニピュレータの各関節変位を計算する座標逆変換、マニピュレータの動特性を補正する動的制御を考えることにする。ただし、極めて限定された作業環境を設定し、重心から対象物体の 3 次元座標が容易に得られると仮定している。

Table 3 に示すように、ビジュアルフィードバック制御においては、8ビットから 32ビット程度の演算語長が各処理において必要となる。さらに、重心計算には 2 値化画像の対象物体の面積計算が含まれる。2 値化画像では各画素は 1ビットデータとして表現できるため、面積計算は 1ビットデータ



Fig. 10 ビットシリアルアーキテクチャに基づく PE のレイアウト

Table 2 AT 積の比較

(演算語長 32 ビット)			
	ビットパラレル	ビットシリアル	倍率
PE 面積 A	222.3mm ²	7.9mm ²	1/28
クロック周期	27ns	4ns	0.15
多入力積和演算 1 回あたりの遅れ時間 Ta	81ns	392ns	4.8
多入力積和演算のスループット P	$\frac{1}{27ns}$	$\frac{1}{260ns}$	0.1
スループットの逆数 Tb = 1/P	27ns	260ns	9.6
スループット性能に基づく AT 積 (A Tb)	6002.1ns mm ²	2054.0ns mm ²	0.34

(最大 2.9 倍の性能向上)

Table 3 ビジュアルフィードバック制御における各処理の主な演算語長

処理の種類	演算語長
画像 2 値化	8 ビット
重心計算	27 ビット
座標逆変換	32 ビット
動的制御	32 ビット

の加算により実現される。512画素×512画素の2値化画像での面積計算には最大で18ビットの演算語長が必要となるが、最初から18ビット程度の演算語長を必ずしも必要としない。例えば、1ビットデータの加算を並列に実行して2ビットの中間結果をまず求めた後、2ビットデータの加算を並列に実行して4ビットの中間結果を求めることができる。同様にして8ビット、16ビット、32ビットと演算語長を段階的に増大させることが可能である。提案するアーキテクチャにおいては、この場合、直列/並列乗算器内部の全加算器を

Table 4 演算遅れ時間の比較

	(μsec)	
	再構成可能 並列プロセッサ	複数個の DSP
画像 2 値化	76	546
重心計算	88	1093
合計	164	1639

直列加算器として利用することにより、これらの加算を効率良く実行できる。

ハードウェア量一定という条件の下で、ビットシリアルアーキテクチャに基づく6個のチップ(各チップには28個のPEが備えられている)を用いる場合と、12個のDSPを単一共有バス結合した並列プロセッサを用いる場合のビジュアルフィードバック制御の演算遅れ時間の比較をTable 4に示す。ここで、Table 4は、特に計算量の多い処理について比較を行なっている。種々の演算語長を必要とする画像2値化や重心計算については、従来

の再構成可能並列プロセッサの性能に加えて、演算語長を再構成可能としたことによる性能向上が大きく寄与している。このため、ビットシリアルアーキテクチャの導入による AT 積の減少とともに、演算語長を再構成可能とすることにより、演算遅れ時間を約 1/10 に減少することができる。以上より、提案する再構成可能な並列プロセッサは、ビジュアルフィードバック制御などのように種々の演算語長を必要とし、かつ高速応答性が要求される知能集積システムの実現に有用である。

6. むすび

知能ロボットのビジュアルフィードバック制御を複雑な環境で実現するためには、非常に多くの処理が必要となる。再構成可能並列プロセッサは、PE 間データ転送のオーバーヘッドが小さいため、DSP による並列処理と比較すると、多くの PE を用いた高並列処理が容易である。さらに、演算語長を再構成することにより、より高並列な処理が可能となる。

ビジュアルフィードバック制御においては、種々の入力数の多入力積和演算に加えて、多くの条件分岐を含む処理などもまた演算遅れ時間を十分減少する必要がある。このため、多入力積和演算のみならず、最大値選択など種々の算術論理演算をも遅れ時間を十分に減少可能なアーキテクチャに拡張する必要がある。

また、種々の知能ロボット制御に要求される性能を達成するためには、PE 数やネットワーク構造を適切に選択するとともに、演算器稼働効率が高く演算遅れ時間が小さい並列処理を実現するソフトウェアを作成するための開発環境が重要である。このため、ロボット制御などに必要となる種々の入力数の多入力算術演算を効率よく実行するためのハイレベルシンセシスやスケジューリングアルゴリズムの開発が今後重要な課題となる。

参考文献

- 1) 亀山, 樋口: “ロボットと VLSI コンピュータ”, 日本ロボット学会誌, 6, 4, pp. 332-338 (1988).
- 2) 樋口: “ロボットエレクトロニクス”, 信学誌, 71, 5, pp. 502-504 (1988).
- 3) 今井: “ASIC 技術の基礎と応用”, 電子情報通信学会, pp. 118-140 (1994).
- 4) M. Kameyama, T. Matsumoto, H. Egami and T. Higuchi: “A special-purpose LSI for inverse kinematics computation,” Trans. IEICE, E 74, 11, pp. 3829-3837 (1991).
- 5) S. Kittichaikoonkit, M. Kameyama and T. Higuchi: “Design of a matrix multiply-addition VLSI processor for robot inverse dynamics computation,” Trans. IEICE, E 74, 11, pp. 3819-3828 (1991).
- 6) B. Kim, M. Kameyama and T. Higuchi: “Parallel VLSI processors for robotics using multiple bus interconnection Networks,” Trans. IEICE, E 75-A, 6, pp. 712-719 (1992).
- 7) 藤岡, 亀山, 樋口: “冗長マニピュレータ制御用座標変換 VLSI プロセッサ”, 信学論, J 75-D-I, 10, pp. 909-916 (1992).
- 8) 藤岡, 亀山, 苦米地: “再構成可能並列プロセッサと知能ロボット制御への応用”, 日本ロボット学会誌, 13, 6, pp. 112-119 (1995).
- 9) P. Sadayappan, Y.L.C. Ling, K.W. Olson and D.E. Orin: “A restructurable VLSI robotics vector processor architecture for real-time control,” IEEE Trans. on Robotics and Automation, 5, 5, pp. 583-599 (1989).