

# PLA の動的再構成に基づく ビジュアルフィードバック制御用並列プロセッサの構成

## Design of a Parallel Processor for Visual Feedback Control Based on Dynamic Reconfiguration of PLA

○藤岡 与周      苫米地 宣裕

○Yoshichika Fujioka and Nobuhiro Tomabechi

八戸工業大学

Hachinohe Institute of Technology

キーワード : 微小演算遅れ時間 (small delay time), 知能ロボットシステム (intelligent robot system), 動的再構成 (dynamic reconfiguration), ビジュアルフィードバック制御 (visual feedback control), PLA (PLA)

連絡先 : 〒 031-8501 青森県八戸市大字妙字大開 88-1 八戸工業大学 工学部 電気工学科  
藤岡与周, Tel.: (0178)25-8063, Fax: (0178)25-1430, E-mail: fujioka@hi-tech.ac.jp

### 1. まえがき

自律的動作を目指した知能ロボット制御の実現には、外界の環境認識からマニピュレータの制御まで、多種多様な処理が必要となる。これら一連の処理は、情報の流れが直列的であるとともに、センサフィードバックが多く存在する。このため、個々の処理においては、スループット向上のみならず、演算遅れ時間が小さい VLSI プロセッサの開発<sup>1) ~ 8)</sup>が重要となる。

知能ロボット制御の実現に必要な処理の一例として、ロボットマニピュレータの動的制御や、多指ハンドを備えたマニピュレータによる把持と操りの制御など、計算量の多い処理があげられる。これらの処理は種々の入力数の多入力積和演算を多く含むため、複数個のデジタル信号処理プロセッサ (DSP) による並列処理がしばしば用いられ

る<sup>9) ~ 11)</sup>。しかし、DSP 数が増大すると演算遅れ時間に対する DSP 間通信の割合、すなわち通信オーバーヘッドが増大し演算器の利用効率が減少するため、演算性能を十分向上できない。

この問題に対し、種々の入力数の多入力積和演算器を各プログラムステップ毎に動的に再構成することにより、乗算器や加算器などの利用効率を向上させ、PE 間通信のオーバーヘッドと多入力積和演算の遅れ時間を大幅に減少可能な再構成可能 VLSI アーキテクチャが提案されている<sup>6), 7)</sup>。再構成可能アーキテクチャに関する主な研究としては、フォールトトレラントシステムの構築を目的とする、故障ユニットと予備ユニットをオフラインで切換えるという観点の研究や、集積回路の開発時間やコストの削減を目的とした、FPGA (Field Programmable Gate Array) に関する研究などがあげられる。また、演算性能の向上を目的とする研

究としては、FPGA を用いた専用プロセッサや、複数個の処理要素間の接続をプログラム可能な専用プロセッサ<sup>12)</sup>などがあげられる。これらはいずれも、オフラインでシステムの構造を変更後、オンラインではハードウェア構成を変更せずに処理を行うものである。これに対し、本提案の再構成可能 VLSI プロセッサは、ハードウェア構成を常にオンラインで動的に変更しながら並列処理を行うものであり、複雑なデータ依存関係を有する高並列な処理でも演算器の利用効率の高い並列処理を可能とするものである。また、DSP による並列処理と異なり、PE 間通信オーバーヘッドが十分小さいため、並列プロセッサの全チップ面積が一定である場合、各 PE のチップ面積に逆比例して PE 数と演算性能を向上できる。したがって、PE の面積と、ローカルメモリへのアクセスや制御などを含む総合的な多入力積和演算時間との積である、PE の面積時間積 (AT 積) を減少することにより、再構成可能 VLSI プロセッサの高性能化が可能であるという特長を有する。

PE の AT 積を減少する手法の一つとして、ビットシリアルアーキテクチャの導入が有用である。特に、スイッチ回路をも含めた演算部の AT 積については容易に減少することが可能である。しかし、水平形マイクロプログラム制御方式のメモリ語長を大きくした VLIW (Very Long Instruction Word) 制御方式を導入している場合には、ビットシリアルアーキテクチャを導入しても基本的に制御部の回路構成が変化しないため、このままでは制御回路をも含めた PE 全体の AT 積を減少することが困難である。また、画像処理など、規則的で計算量が膨大な処理は、超高並列処理 (数万個以上の要素プロセッサからなる並列処理) により、演算遅れ時間を劇的に減少可能と考えられる。特に、入力データに応じて処理内容を適応的に変化させるような複雑な処理については、処理要求が発生し

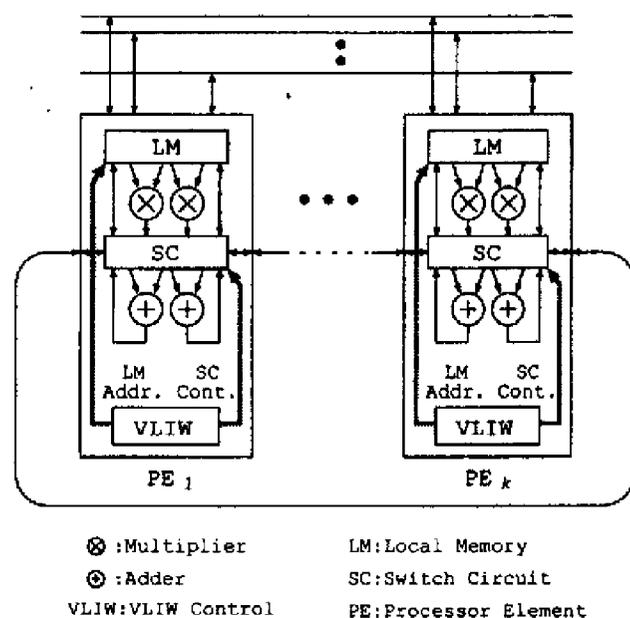


Fig. 1 再構成可能 VLSI アーキテクチャ

てからそれを実現するための専用ハードウェアを動的に再構成できれば、知能ロボットなどにおけるビジュアルフィードバック制御など、外界環境との動的相互作用を要求される知能集積システムを容易に構築可能と考えられる。そこで本論文では、特に規則的なパターンで実行可能な処理応用に対しては、専用の制御回路を PE に備えることにより制御回路の面積を大幅に減少可能である点に着目し、動的に再構成可能な PLA (Programmable Logic Array) の概念を PE 内の制御信号発生回路に導入し、多入力積和演算器のみならず、制御回路をも含めた PE アーキテクチャ全体の構造を動的に再構成可能な並列プロセッサアーキテクチャの構成を提案している。

## 2. 再構成可能 VLSI アーキテクチャ

ロボット制御などに要求される種々の入力数の多入力積和演算の遅れ時間を減少するため、再構成可能 VLSI アーキテクチャが提案されている。本アーキテクチャは、PE に備えられた乗算器や加算器の各入出力間の接続をプログラムステップ毎に動的に切換えることにより、所望とする入力数

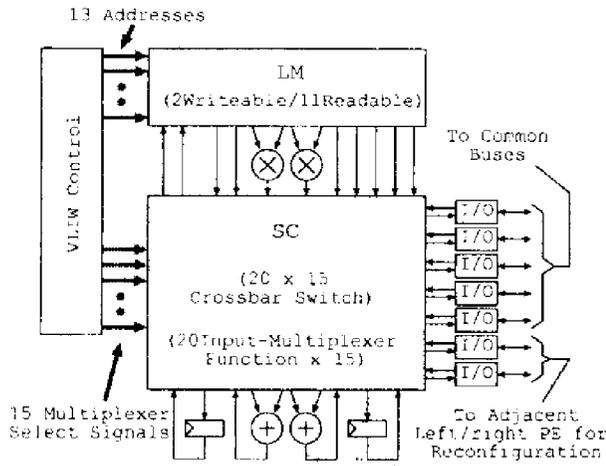


Fig. 2 PEの構成

となるように多入力積和演算器の構造を変化させ、多入力積和演算の空間的並列処理を実行できる。

一例として、1個のPEチップに乗算器と加算器をそれぞれ2個ずつ備えた場合のアーキテクチャをFig.1とFig.2に、また、4個の乗算器と加算器を備えた多入力積和演算器を再構成する場合をFig.3にそれぞれ示す。このように、乗算器と加算器間の直接接続を切替えるため、PEにはクロスバスイッチにより構成されたスイッチ回路が備えられている。また、多入力積和演算器の再構成に伴うPE間の局所的なデータ転送のため、隣接するPEのスイッチ回路が相互に接続されている。さらに、このスイッチ回路をVLIWプログラムで制御することにより、種々の入力数の多入力積和演算器をプログラムステップ毎に動的に再構成可能としている。

このように、再構成可能VLSIプロセッサにおいては、多入力積和演算における中間結果の転送がハードウェアの直接接続によりなされるため、DSPを用いた並列処理におけるソフトウェア手続きによるデータ転送と比較すると、データ転送に要する遅れ時間を大幅に減少できるという特長を有する。すなわち、再構成可能VLSIプロセッサは通信オーバーヘッドが小さいため、乗算器や加算器の利用効率が大幅に向上し、演算遅れ時間を減少

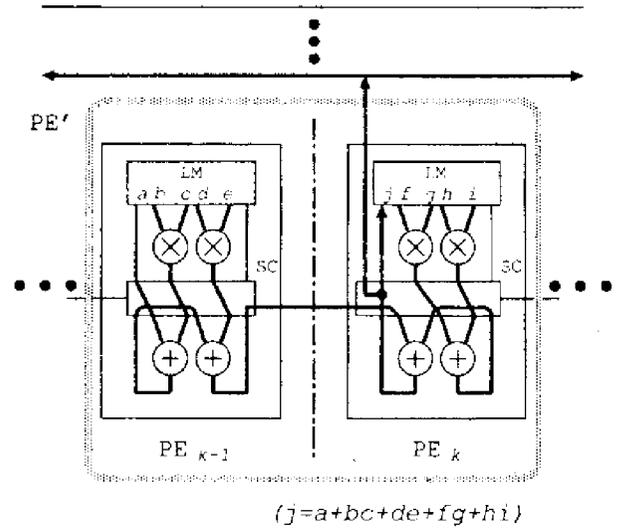


Fig. 3 多入力積和演算器の再構成

Table 1 再構成可能VLSIプロセッサによる多入力積和演算の並列処理

(a) 式(1)の実行

ステップ	PE <sub>1</sub>	PE <sub>2</sub>	PE <sub>3</sub>
1	$c_1 = a_1 b_1$	$c_2 = a_2 b_2$	$c_3 = a_3 b_3$
2	$c = c_1 + c_2 + c_3$		

(b) 式(1),(2)の実行

ステップ	PE <sub>1</sub>	PE <sub>2</sub>	PE <sub>3</sub>	PE <sub>4</sub>	PE <sub>5</sub>	PE <sub>6</sub>
1	$c_1 = a_1 b_1$	$c_2 = a_2 b_2$	$c_3 = a_3 b_3$	$f_1 = d_1 e_1$	$f_2 = d_2 e_2$	$f_3 = d_3 e_3$
2	$c = c_1 + c_2 + c_3$			$f = f_1 + f_2 + f_3$		

できる。また、演算器数と比べて処理可能なデータ数が十分多い場合には、演算器の個数に比例してほぼ理想的に演算性能を向上できる。

一例として、再構成可能VLSIプロセッサと、DSPによる並列処理により、次式で表される多入力積和演算の並列処理を行う場合の実行ステップをそれぞれTable 1とTable 2に示す。

$$c = a_1 b_1 + a_2 b_2 + a_3 b_3 \quad (1)$$

$$f = d_1 e_1 + d_2 e_2 + d_3 e_3 \quad (2)$$

再構成可能VLSIプロセッサを用いる場合は、Table 1(a)とTable 1(b)に示すように、PE数に比例して演算性能を向上できるため、1回あたりの多入力積和演算の遅れ時間が増加しない。これに対し、

Table 2 DSP による多入力積和演算の並列処理

(a) 式 (1) の実行

ステップ	DSP <sub>1</sub>	DSP <sub>2</sub>	DSP <sub>3</sub>
1	$c_1 = a_1 b_1$	$c_2 = a_2 b_2$	$c_3 = a_3 b_3$
2	out $c_1$	in $c_1$	
3		$c_2 = c_1 + c_2$	
4		out $c_2'$	in $c_2'$
5			$c = c_3 + c_2'$

(b) 式 (1),(2) の実行

	DSP <sub>1</sub>	DSP <sub>2</sub>	DSP <sub>3</sub>	DSP <sub>4</sub>	DSP <sub>5</sub>	DSP <sub>6</sub>
1	$c_1 = a_1 b_1$	$c_2 = a_2 b_2$	$c_3 = a_3 b_3$	$f_1 = d_1 e_1$	$f_2 = d_2 e_2$	$f_3 = d_3 e_3$
2	out $c_1$	in $c_1$				
3		$c_2 = c_1 + c_2$		out $f_1$	in $f_1$	
4		out $c_2'$	in $c_2'$		$f_2' = f_1 + f_2$	
5			$c = c_3 + c_2'$		out $f_2'$	in $f_2'$
6						$f = f_3 + f_2'$

DSP を用いた並列処理では、Table 2(a) に示すように、ソフトウェア手続きによる多入力積和演算の中間結果の転送が必要となる。このため、DSP 数が増加すると、Table 2(b) に示すように中間結果の転送回数の増加により、1 回あたりの多入力積和演算時間が増加することから、演算性能を DSP の個数に比例して向上させることは困難である。

並列プロセッサ全体のハードウェア量が制限される場合、多入力積和演算の遅れ時間を減少するのみならず、PE の回路面積を減少してできるだけ多くの PE を備えることにより、再構成可能 VLSI プロセッサの演算性能を大幅に向上できる。これは、再構成可能 VLSI プロセッサが、通信オーバーヘッドが小さく PE 数に比例して演算性能を向上できるという長足を有するためである。したがって、PE の AT 積をできるだけ減少することが演算性能の向上に重要となる。Table 3 に、ビットシリアルアーキテクチャを導入し AT 積を減少した

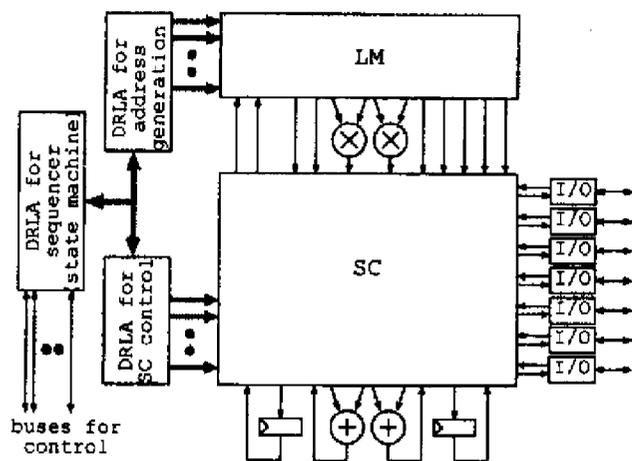
Table 3 PE の諸元

設計ルール	0.8- $\mu$ m CMOS 2 層メタル
動作速度	250MHz
クロック周期	4ns
数値表現	32 ビット固定小数
レイアウトサイズ	7.9mm x 1.0mm
ローカルメモリ	64 ワード x 32 ビット
乗算器	2 ポートメモリ x 2 個 32 x 32 ビット直列/並列乗算器
加算器	全加算器 x 2 個
スイッチ回路	1 ビット 20 x 15 クロスバスイッチ x 1 個
入出力ポート数	20 入力マルチプレクサ x 15 の機能
制御方法	1 bit 7 ポート VLIW 制御
制御フィールド	96 ワード x 180 ビット VLIW メモリ ローカルメモリアドレス 6 ビット x 13 マルチプレクサ選択信号 5 ビット x 15 ジャンプアドレス 7 ビット 継続 / 無条件分岐選択 1 ビット 予備 19 ビット

PE の諸元を示す<sup>7)</sup>。ビットパラレルアーキテクチャによる PE と比較すると、AT 積を最大で 1/3 に減少可能であるが、この PE に占める VLIW 制御回路の面積は PE 全体の約 6 割に至るため、制御回路の面積の減少によりさらに PE の AT 積を大幅に減少できると考えられる。

### 3. 制御回路の動的再構成

所望とする入力数の多入力積和演算器をプログラムステップ毎に動的に再構成するため、Fig.2 に示すように VLIW マイクロプログラム制御方式が PE アーキテクチャに導入されている。これにより、ロボットマニピュレータの動的制御などで要求されるように、不規則なパターンでも多入力積和演算器を容易に動的に再構成可能となるが、長いプログラムステップが要求される場合には、ループ命令による繰り返し処理などを行わない限り、VLIW 制御メモリに要求されるハードウェア量が膨大になる可能性がある。特に、空間フィルタリングなどの低レベル画像処理は、規則的なパターンで多入力積和演算器を再構成できる応用であるが、ループ命令機能に加えて画像メモリに



DRLA: Dynamic Reconfigurable Logic Array

Fig. 4 動的に再構成可能な PLA (DRLA) を備えた PE の構成

専用のアドレス生成器を備えない限り、プログラムステップ数、すなわち VLIW 制御メモリのハードウェア量が膨大となる。

また、演算結果に応じて条件分岐を繰り返し行ない、処理の中間結果に応じて次の処理を選択するような応用では、VLIW 制御方式では条件分岐に要する遅れ時間が増大する可能性がある。そのような応用の一例として、掃出法などの連立 1 次方程式の数値解法におけるピボット選択があげられる。連立 1 次方程式の数値解法はロバット制御における種々の逆ヤコビ行列計算などに応用されるが、複数のデータから零でないデータ（ピボット）を選択するとともに、そのデータの存在する行ベクトルを利用して次の処理を行なうため、ピボット選択には条件分岐を繰り返す必要があり、その間多入力積和演算を実行できない状態が続いてしまう。また、ビジュアルフィードバック制御においても、特徴量の抽出過程などにおいて、演算結果に基づく処理の決定が必要となることがしばしば存在する。

このように、規則的なパターンで多入力積和演算器の再構成を行なう応用や、演算結果に基づいて条件分岐を繰り返すような応用では、VLIW 制御方式ではなく、各応用に対し専用の制御回路を

備えることが望ましい。そこで、VLIW 制御回路のかわりに FPGA を PE に備えることにより、所望とする応用に応じた専用の制御回路を PE 内に静的に再構成可能とする方法が考えられる。この方法は、要素プロセッサ数がそれほど多くなく、制御回路の再構成を静的に行なうことによる遅れ時間のオーバーヘッドが処理時間全体に比較して大きくないような並列処理に有用である。しかし、超高並列処理では、各処理に要する演算遅れ時間を極めて小さくすることができるため、処理時間全体に対する制御回路の再構成に伴う遅れ時間、すなわち制御回路再構成オーバーヘッドが相対的に増大し、超高並列処理の有用性が損なわれる可能性がある。そこで、動的に論理機能を変更し、制御回路の構造を再構成可能な PE アーキテクチャを提案する。Fig.4 に示すように、制御回路の動的再構成のために備えられた DRLA (Dynamic Reconfigurable Logic Array) は、ローカルメモリアドレス生成用、スイッチ回路切換え信号生成用と、条件分岐などのシーケンス処理用の 3 ブロックから構成されている。また、他の PE の内部状態を相互に参照しあうため、条件分岐処理用ブロックは制御用多重バスに接続されている。

制御回路の動的再構成は次の方法で実現できる。まず、処理応用としては、画像処理の基本的な処理など、規則的なパターンで多入力積和演算器の動的再構成を行なう応用が適している。極めて不規則なパターンでの動的再構成を必要とする処理応用については VLIW 制御回路を備えた PE を用いることが望ましい。次に、処理応用の有する演算やデータ転送の規則性を考慮して、PE 間の接続や各 PE での演算手順などを決定する。また、各 PE の内部状態を相互に参照する必要がある場合には、制御回路用多重バスを必要に応じて接続する。以上より、各 PE における制御信号生成の仕様が決定される。この仕様に基づき、状態

遷移図などを用いて各 PE 毎の制御回路をステートマシンとして設計する。最後に、PE 内部に備えられた DRLA のコンフィグレーションデータを各基本処理毎に生成する。これを予め各 PE の DRLA に書き込んでおき、必要に応じてオンラインで DRLA の機能を動的に変化させることにより、多入力積和演算器の構造のみならず、制御回路の機能をも含めた PE アーキテクチャそのものを動的に再構成可能な専用並列プロセッサを構築できる。

所望とする入力数の多入力積和演算器を動的に再構成可能であるとともに、処理応用に応じた専用の制御回路を動的に再構成可能である並列プロセッサは、与えられた並列プロセッサアーキテクチャ用に並列プログラムを作成するのではなく、並列処理を効率良く行えるように並列プロセッサアーキテクチャの一部を変更し再設計できるようにしたもののみならずすることができる。従来のように、与えられた並列プロセッサ用に並列プログラムを作成する手法では、各処理応用はソフトウェアサブルーチンとして実現される。これに対し、提案する並列プロセッサは専用ハードウェアの構造を各処理毎に最適となるように再設計できるため、各処理応用は、いわば極めて高性能なハードウェアサブルーチンの組み合わせにより実現されるとみなすことができる。また、VLIW 制御回路を備えた再構成可能並列プロセッサと比較すると、制御回路に要求される回路面積が減少するのみならず、ソフトウェアによる条件分岐やループ命令の処理などに伴う遅れ時間をも減少可能であるため、動的にハードウェアサブルーチンとしての機能を再構成できる本再構成可能並列プロセッサは、AT 積および演算遅れ時間の減少に有用と考えられる。

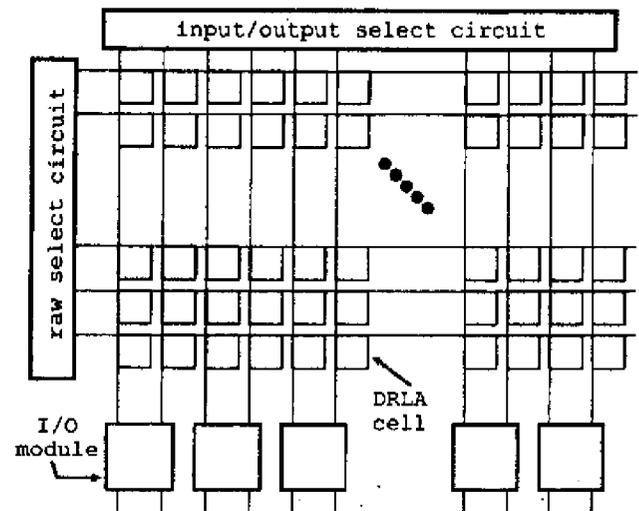


Fig. 5 DRLA の構成 (組合せ回路部)

#### 4. DRLA の構成

制御回路をも動的に再構成可能とするためには、論理機能を動的に変更可能なハードウェアが必要となる。この目的のために考案した DRLA の構成を Fig.5 に示す。DRLA は基本的に PLA の AND 平面や OR 平面の各素子の機能を実現するための DRLA セルが 2 次元上に配置され、それらが縦および横方向のクロスバ配線に接続される構成となっている。また、縦方向の配線には I/O モジュールが接続され、AND 平面として機能する場合には入力回路として、また OR 平面として機能するためには出力回路として機能するように、入出力選択回路によりその切替えを動的に行なえる構成となっている。さらに、横方向の配線を必要に応じて選択することにより、所望とする論理機能を瞬時に切替えることができる。この動的切替え機能が、PE 内部制御回路の動的再構成を可能としている。

DRLA セルの回路構成とその機能をそれぞれ Fig.6 と Fig.7 に示す。DRLA セルは、基本的に AND 平面上の素子かあるいは OR 平面上の素子としての機能を有する。これらの機能は、DRLA セルに備えられたモードレジスタ (2 ビット) により静的に設定できる。また、DRLA セルは、縦方

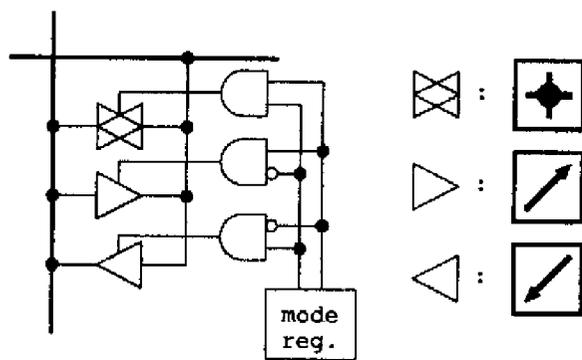


Fig. 6 DRLA セルの構成

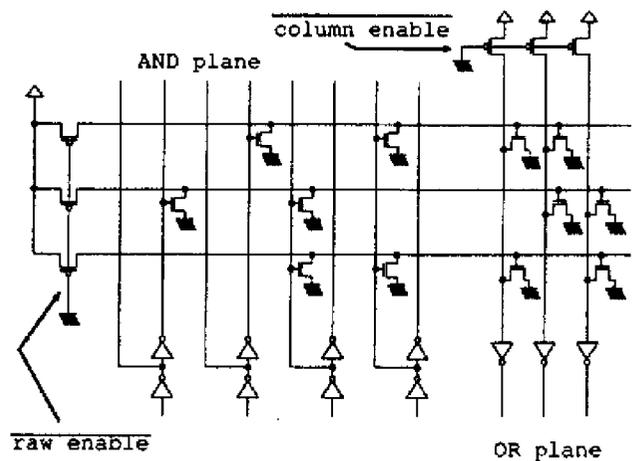


Fig. 9 nMOS PLA の例

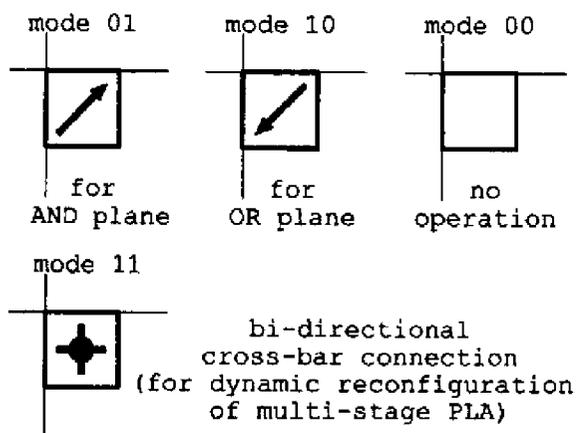


Fig. 7 DRLA セルの機能

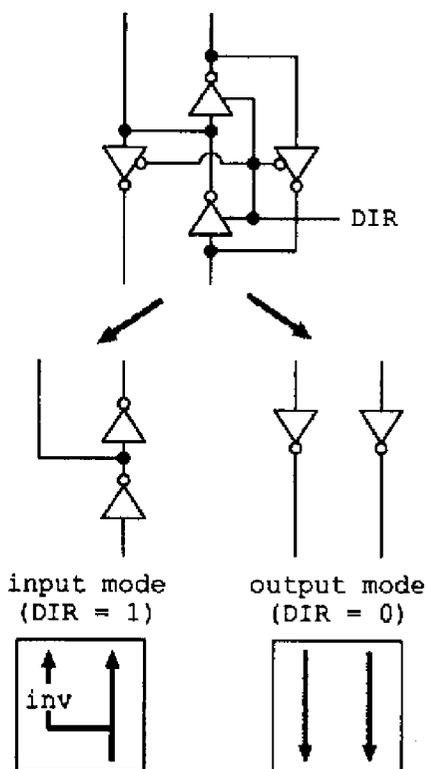


Fig. 8 DRLA I/O モジュールの構成と機能

向および横方向の配線をクロスバ接続するための機能も備えている。これは、DRLA 内部にて多段 PLA を構成するための機能である。この機能を活用することにより、各処理毎に類似の機能をまとめて実現することを可能としており、DRLA に要求されるハードウェア量のさらなる減少に有用と考えられる。Fig.8 は、DRLA に備えられた I/O モジュールの回路構成と機能を示している。このモジュールは、PLA に要求される入力回路と出力回路の機能を DIR 信号により切替えることができるようにしたものであり、DRLA の動的再構成に伴い、論理機能のみならず、入出力回路の構成（入出力線数/他の回路との接続）をも変更可能としている。

一例として、Fig.9 に示す論理回路を、DRLA を用いて再構成する場合を Fig.10 に示す。

この場合は、一部の横方向の DRLA セルを用いて、Fig.9 の機能を実現しているが、いくつかの論理機能を他の横方向の DRLA セルにそれぞれ予め設定しておくことにより、横方向の DRLA セルの選択と縦方向の I/O 機能選択のみで、所望とする論理回路を動的に再構成することが可能となる。また、この特長を、PE の制御回路に導入することにより、多入力積和演算器のみならず、制御回路をも含めた PE 全体のアーキテクチャを動

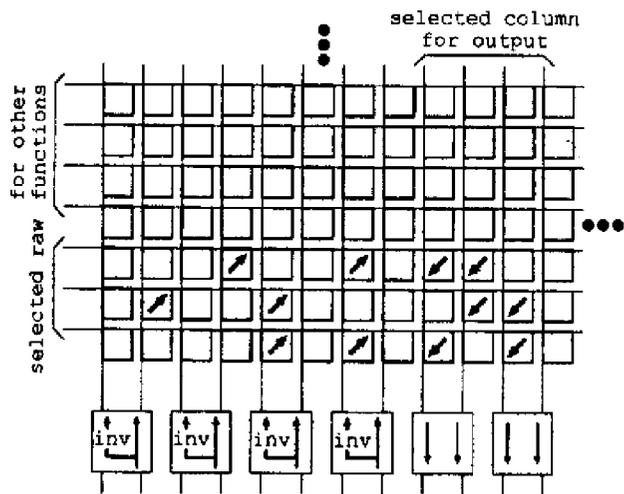


Fig. 10 DRLA による再構成の例

的に再構成可能な並列プロセッサを構成することが可能となる。この結果、各処理に対し最適化された専用ハードウェアを動的に再構成しながら処理を実行する、ハードウェアサブルーチンの概念を実現することが可能となる。したがって、提案する並列プロセッサアーキテクチャは、演算量が膨大でかつ実世界からの情報入力に対する高速な相互作用が要求される種々の知能集積システムの構築に有用であると考えられる。

## 5. むすび

所望とする入力数の多入力積和演算器の再構成という概念に基づく並列プロセッサが、AT 積の減少により演算性能を向上できる点に着目し、演算部のみならず制御部の回路面積や演算遅れ時間をも大幅に減少することを目的として、DRLA による制御回路の動的再構成という概念を新たに導入した並列プロセッサアーキテクチャを提案した。この結果、知能ロボットに必要となるビジュアルフィードバック制御など、計算量が膨大でかつ超高並列処理が可能な応用に対しては、PE の AT 積をさらに減少できるため超高並列プロセッサの実現に有用であることが示された。

今後の課題として、考案した DRLA を含めた、

PE 全体の定量的評価が必要となる。また、PE 全体の面積減少にはローカルメモリについても考慮する必要がある。PE 内部のデータ転送を容易にするために、冗長なメモリ素子を用いて等価的にマルチポートメモリを構成しているが、制御回路の再構成とともに、ローカルメモリ構造の再構成の概念導入による冗長な回路の減少が重要となると考えられる。

## 参考文献

- 1) 亀山充隆, 藤岡与周, “ロボット用 VLSI プロセッサシステム,” 日本ロボット学会誌, vol.14, no.1, pp.22-25, 1996.
- 2) 亀山充隆, “ロボットエレクトロニクス,” ASIC 技術の基礎と応用, 今井正治 編, 第 8 章, 電子情報通信学会, 東京, 1994.
- 3) T. B. Yeung and C. S. G. Lee, “Efficient parallel algorithms and VLSI architectures for manipulator Jacobian computation,” IEEE Trans. Syst. Man & Cybern., vol.19, no.5, pp.983-999, 1989.
- 4) S. Kittichaikoonkit and M. Kameyama, “A minimum-latency linear array FFT processor for robotics,” IEICE Trans. Inf. & Syst., vol.E76-D, no.6, pp.680-688, 1993.
- 5) M. Hariyama and M. Kameyama, “Design of a CAM-based collision detection VLSI processor for robotics,” IEICE Trans. Electron., vol.E77-C, no.7, pp.1108-1115, 1994.
- 6) Y. Fujioka, M. Kameyama, N. Tomabechi, “Reconfigurable parallel VLSI processor for dynamic control of intelligent robots,” IEE Proc.-Comput. Digit.Tech., vol.143, no.1, pp.23-29, 1996.

- 7) 藤岡与周, 亀山充隆, “ビットシリアルアーキテクチャに基づくロボット制御用再構成可能並列VLSIプロセッサの構成,” 信学論, vol.J81-D-1, no.2 pp.85-93, 1998.
- 8) P. Sadayappan, Y. L. C. Ling, K. W. Olson and D. E. Orin, “A restructurable VLSI robotics vector processor architecture for real-time control,” IEEE Trans. Robotics & Automation, vol.5, no.5, pp. 583-599, 1989.
- 9) K. P. Jankowski and H. V. Brussel, “An approach to discrete inverse dynamics control of flexible-joint robots,” IEEE Trans. Robotics & Automation, vol.8, no.5, pp.583-599, 1992.
- 10) M. Koga, K. Kosuge, K. Furuta and K. Nosaki, “Coordinated motion control of robot arms based on the virtual internal model,” IEEE Trans. Robotics & Automation, vol.8, no.1, pp.77-85, 1992.
- 11) B. W. Drake and T. C. S. Hsia, “Implementation of a unified robot kinematics and inverse dynamics algorithm on a DSP chip,” IEEE Trans. Ind. Electron., vol.40, no.2, pp.273-281, 1993.
- 12) J. Yano, J. Miyake, M. Urano, G. Inoue, S. Tsubata, K. Ninomiya, K. Sokawa, Y. Miki, K. Onizuka, R. Itoh, H. Nabatani, T. Nishiyama, S. Yamaguchi, “23GOPS programmable systolic array DSP for video signal processing,” ISSCC Digest of Technical Papers, vol.40, pp.268-269, 1997.