

分散演算を用いた高次FIRフィルタの 高性能VLSIアーキテクチャ

High-Performance VLSI Architecture for Higher-Order FIR Filters Using Distributed Arithmetic

○野崎剛*, 恒川佳隆*, 田山典男*

○ Takeshi Nozaki*, Yoshitaka Tsunekawa*, and Norio Tayama*

*岩手大学 工学部

*Faculty of Engineering, Iwate University

キーワード： 分散演算 (distributed arithmetic), 高次FIRフィルタ (higher-order FIR filter), 最適関数回路 (Optimum function circuit), 4入力2出力加算器(4to2 adder), VLSI評価 (VLSI evaluation)

連絡先： 〒020-8551 盛岡市上田4-3-5 岩手大学 工学部

野崎剛, Tel.: (019)621-6468, Fax.: (019)621-6468, E-mail: t5300005@iwate-u.ac.jp

1. はじめに

デジタルフィルタは計測制御, 通信伝送, オーディオ, 家電製品などの応用分野で広く利用されている。デジタルフィルタは, 有限長のインパルス応答を有するFIR(Finite Impulse Response)フィルタと無限長のインパルス応答を有するIIR(Infinite Impulse Response)フィルタに分類される。FIRフィルタは直線位相特性を実現できるため, 波形伝送上の問題となる位相ひずみが生じない特長がある。しかし, IIRフィルタでは急峻な遮断特性を低次数で得られるのに対し, FIRフィルタではそれを得るために次数を相当高くする必要がある。特に, 情報通信の分野などにおいて, 極めて高次なFIRフィルタが要求されている。

FIRフィルタの一般的な手法の1つとして, 乗算器を用いた直接型構成に基づく実現法がある。これは, 高いスループットを実現でき, 低次では有効な手法である。しかし, 高次では, タップ数分の乗算器を必要とするため, 膨大な消費電力を必要とする。

そこで, われわれは消費電力を大幅に低減できる分散演算に基づく高次FIRフィルタのVLSIアー

キテクチャを提案してきた¹⁾。これは, 処理時間が語長のみに依存する分散演算を用いて, 高次でも滞在時間を抑えながら高いスループットを実現できる。また, ROMと同機能で論理ゲートにより構成した最適関数回路を用いた。これにより, 関数加算部の加算器数が増加するが, 全体の消費電力を大幅に減少できる。われわれは, さらに高い次数での実現を図るために, FIRフィルタが直線位相特性を有することに着目して, 関数加算部の低消費電力化を図った。

直線位相特性に着目した実現法として, SFA(Serial Full Adder)を用いた実現法がある²⁾。これは, ROMを用いた分散演算に基づく実現法であり, ROMに対し分割化を施していない。この手法は, 係数の対称性を用いてROMの大きさを1/2まで低減でき, 低次のフィルタ実現には有効な手法である。しかし, 高次のFIRフィルタを実現する場合, ROM容量が大きくなるために, 膨大な消費電力を必要としてしまう。ただし, この手法にROMの分割化を施した場合, 関数加算部で用いられている加算器数を1/2まで低減できる特長がある。

そこで, われわれは最適関数回路を用いた構成

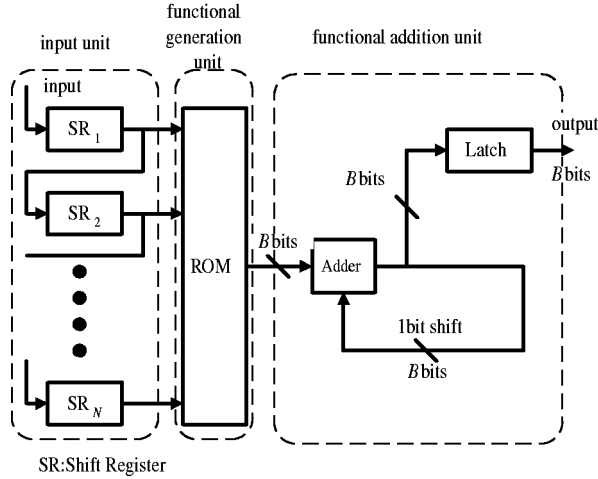


Fig. 1 Basic structure of FIR filters based on the distributed arithmetic

にSFAを適用した高次FIRフィルタの実現法を提案してきた³⁾．関数加算部の加算器数を1/2まで低減できるSFAを適用して，その部分の消費電力を減少させ，全体の消費電力をさらに低減させた．この手法は，最適関数回路とSFAの特長を利用することによりはじめて低消費電力化を実現できる新しい手法である．この手法で極めて高い次数での実現を図る場合，関数加算部の加算器数が増加するため，消費電力と滞在時間の大きさを抑える必要がある．

本稿では，極めて高い次数に適したFIRフィルタのVLSIアーキテクチャを提案する．本提案法の関数加算部には，従来のCLA加算器によるBinary Treeの構成ではなく，われわれが提案する4入力2出力加算器によるBinary Treeで構成される新しい手法を用いる．本加算器は，FA(Full Adder)の特徴を利用してハードウェア量と処理時間の大きさを抑えた演算器である．さらに，この数をCLA加算器を用いた場合の1/2まで減少できるため，消費電力と滞在時間を低減できる．これは，次数の増加に伴い効果が大きくなるため，高次に適した手法であるといえる．以上の手法を用いた本プロセッサをVLSI評価し，さらに高い次数でもサンプリングレートを一定にしながら，消費電力と滞在時間の大きさを抑えて実現できる有効な手法であることを明らかにする．

2. 分散演算に基づくFIRフィルタ

分散演算^{4)~6)}とは定係数の内積演算をテーブル・ルックアップにより実現する計算手法である．

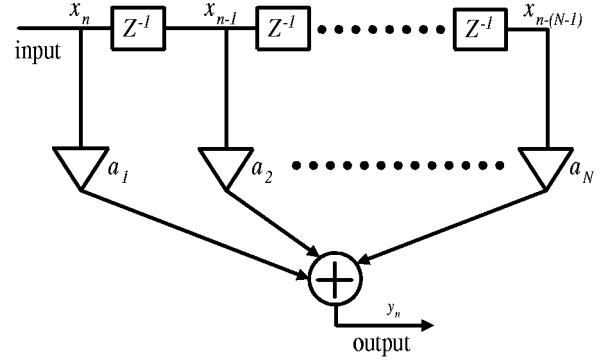


Fig. 2 FIR filters using multipliers for direct form structure.

いま，項数 N の係数ベクトル $\mathbf{a} = (a_1, \dots, a_N)$ と変数ベクトル $\mathbf{v} = (v_1, \dots, v_N)$ との内積

$$y = \mathbf{a} \mathbf{v} = \sum_{i=1}^N a_i v_i \quad (1)$$

を考える．ただし， $-1 \leq v_i < 1$ で， v_i は B ビットの固定小数点形の2の補数表示である．つまり，

$$v_i = -v_i^0 + \sum_{k=1}^{B-1} 2^{-k} v_i^k \quad (2)$$

と表される．ここで， v_i^k は v_i の k ビット目の値で0または1である．式(2)を式(1)に代入すると，内積演算 $\mathbf{a} \mathbf{v}$ は次式で示される．

$$y = -\Phi(v_1^0, \dots, v_N^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(v_1^k, \dots, v_N^k) \quad (3)$$

ただし， Φ は

$$\Phi(v_1^k, \dots, v_N^k) = \sum_{i=1}^N a_i v_i^k \quad (4)$$

である．式(3)に基づいた分散演算を用いたFIRフィルタの構成は図1のようになる．この構成は，入力部，関数生成部と関数加算部に分けられる．図2に示す直接型構成に基づくFIRフィルタでは，1サンプリング周期ごとに入力変数を各遅延器に伝搬させて，内積演算を実行している．それに対して本構成では，図1に示すように入力部のシフトレジスタを用いて，入力変数を1クロックごとに1ビットずつ伝搬させる．関数生成部では，入力部から出力される変数と係数との内積演算の結果をROMから参照する．関数加算部では，関数生成部から出力される値を順次1ビットシフトしながら加算を行う．すなわち，分散演算を用いたFIRフィルタでは，乗算器を用いずに，語長 B のみに依存した処理が可能である．

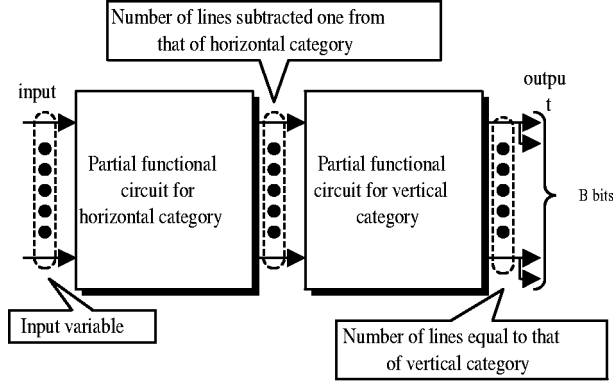


Fig. 3 Structure of optimal functional circuit.

この手法では、大きなROMの容量をいくつかの小さなROMに分割することができる。これは、分割数を Q として以下の処理を施すことである。

$$\begin{aligned}\Phi(v_1^k, \dots, v_N^k) &= \sum_{i=1}^N a_i v_i^k \\ &= \sum_{i=1}^{N/Q} a_i v_i^k + \dots + \sum_{i=Q'}^N a_i v_i^k \\ &= \Phi(v_1^k, \dots, v_{N/Q}^k) + \dots + \Phi(v_{Q'}^k, \dots, v_N^k)\end{aligned}\quad (5)$$

ここで、

$$Q' = \frac{N(Q-1)}{Q} + 1 \quad (6)$$

である。この分割数 Q には消費電力を最小にする値があり、これを最適分割数と呼ぶ。

3. 最適関数回路

関数 Φ の生成にROMを用いた従来法を高次のフィルタに用いた場合、膨大な消費電力を必要とする。これは、ROMに分割化を施した場合でも、それを多く用いるために消費電力は膨大となる。ゆえに、関数 Φ の生成にROMではなく、それと同機能で低消費電力となる回路を用いた構成法が要求される。そこで、関数 Φ をROMで実現する代わりに、論理ゲートを用いてそれと同機能となる最適関数回路を提案してきた¹⁾。これは、処理性能を低減させずに大幅な低消費電力化が可能である。ここでは、ROMに格納されている関数テーブルを、

$$\mathbf{W} = \begin{bmatrix} w_0^{B-1} & \dots & w_0^0 \\ \vdots & \dots & \vdots \\ w_{2^N-1}^{B-1} & \dots & w_{2^N-1}^0 \end{bmatrix} \quad (7)$$

で表される $2^N \times B$ の行列で示す。式(7)の $w_i^{B-1} \dots w_i^0$ は、 i 番地に格納されている B ビットの出力データ

を表す。この式の行または列には同じベクトルが存在する。そこで、これらを共有化することにより、関数テーブルの大きさを低減させる。この冗長性の削除により生成される行列は、

$$\mathbf{W}' = \begin{bmatrix} w_{row_0}^{col_j} & \dots & w_{row_0}^{col_0} \\ \vdots & \dots & \vdots \\ w_{row_i}^{col_j} & \dots & w_{row_i}^{col_0} \end{bmatrix} \quad (8)$$

という $row_i \times col_j$ の行列で表せる。ただし、

$$row_i \leq 2^N \quad col_j \leq B \quad (9)$$

である。この操作によって生成される式(8)の行または列ベクトルは互いに異なる。この式を基にした最適関数回路は、図3に示すように行ベクトルに対応する部分機能回路と列ベクトルに対応する部分機能回路を縦続接続した構成で実現できる。これは、論理ゲートにより構成され、消費電力を大幅に低減できる。この回路は、式(8)の行または列ベクトルが減少するほど、消費電力を低減できる特長をもつ。

この手法では、関数生成部の消費電力を大幅に低減できるために、最適分割数が大きくなる。そのため、関数加算部において加算器数自体は増加する。われわれは、さらに高い次数での実現を図るために、FIRフィルタが直線位相特性を有することに着目して、関数加算部の消費電力を低減させる。

4. SFAを用いた構成法

直線位相特性を用いた実現法として、SEAを用いた実現法が提案されている²⁾。この手法は、ROMを用いた分散演算に基づく実現法であり、ROMに分割化を施していない。これは、係数の対称性を利用してROMの大きさを $1/2$ まで低減できるため、低次において有効な手法である。ただし、高次に用いた場合、ROMの容量が非常に大きくなるために、膨大な消費電力を必要とする。しかし、ROMの分割化を施すと、関数加算部の加算器数を $1/2$ まで低減できる特長がある。

そこで、われわれはこの特長に着目し、最適関数回路を用いた構成にSEAを適用した新たな実現法を提案してきた³⁾。タップ数 N を偶数とした場合、直線位相特性をもつFIRフィルタの係数には、

$$a_1 = a_N, a_2 = a_{N-1}, \dots, a_{N/2} = a_{(N/2+1)} \quad (10)$$

という関係が成り立つ。ここで、式(10)を式(3)に代入すると、

$$y = -\Phi((v_1^0 + v_N^0), \dots, (v_{N/2}^0 + v_{(N/2+1)}^0))$$

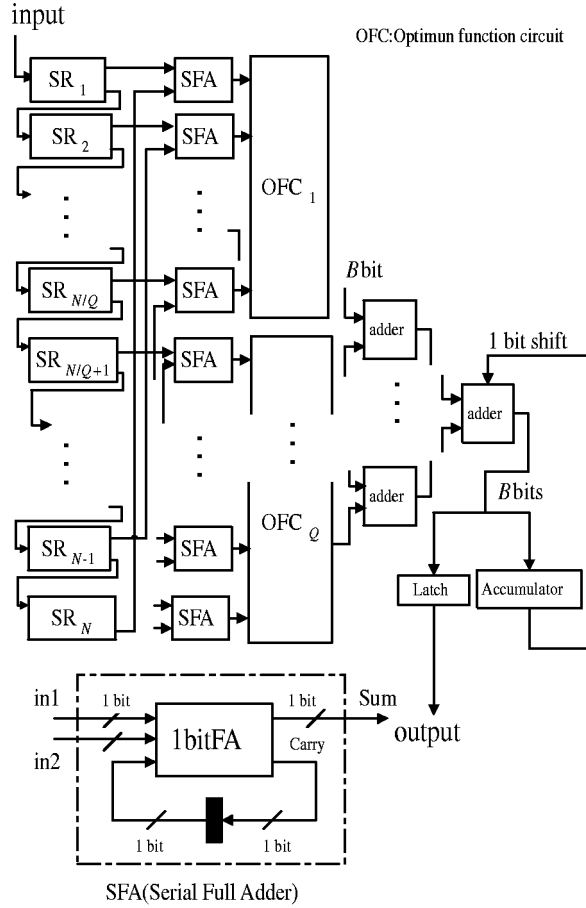


Fig. 4 Structure using SFA.

$$+ \sum_{k=1}^{B-1} 2^{-k} \Phi((v_1^k + v_N^k), \dots, (v_{N/2}^k + v_{(N/2+1)}^k)) \quad (11)$$

となる．ここで， Φ は

$$\begin{aligned} & \Phi((v_1^k + v_N^k), \dots, (v_{N/2}^k + v_{(N/2+1)}^k)) \\ &= \sum_{i=1}^{N/2} a_i (v_i^k + v_{(N+1-i)}^k) \end{aligned} \quad (12)$$

と表される．式(12)から，直線位相特性を利用することにより内積演算の項数を1/2まで低減できることがわかる．このように内積演算の項数を1/2まで低減できることを利用することにより，図4に示すように関数加算部の加算器数を1/2まで低減できる．これは，従来の分散演算を用いた実現法とは異なり，図5に示すように，入力変数 v_i^j と v_{N+1-i}^j とキャリアとの加算を，図4のSFAの1ビットFA(Full Adder)を用いて実現する．ここで求められる和は最適関数回路に送られる．また，キャリアはレジスタに送られ，1クロック後に1つ上位のビットの加算の入力として用いる．ここで，この処理において符

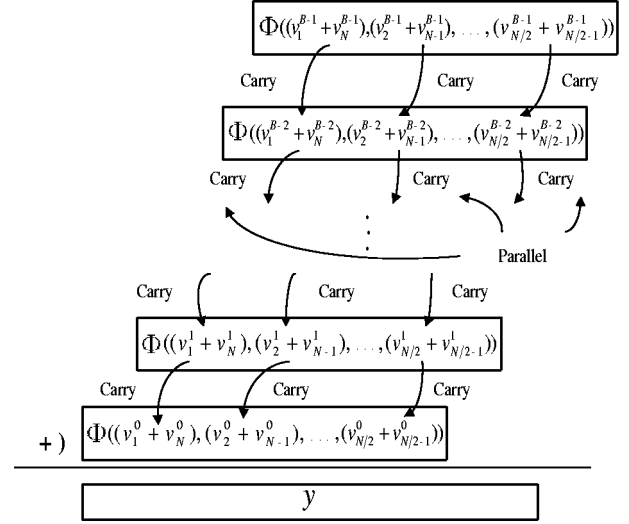


Fig. 5 Fundamental diagram of structure using SFA.

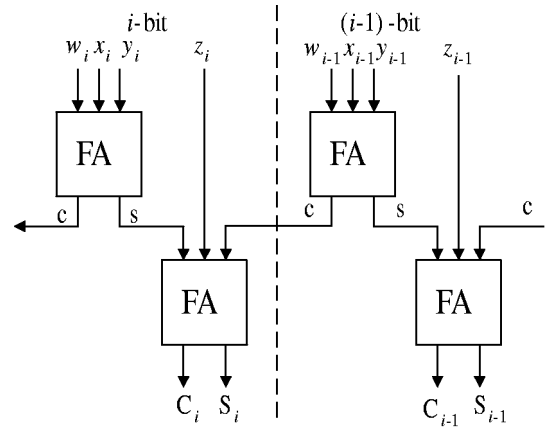


Fig. 6 General structure of 4to2 adder.

号ビットへの桁上げが生じる可能性がある．そこで入力変数 v_i を， $-0.5 < v_i < 0.5$ に制限(Scaling)する．これは，最適関数回路とSFAの特長を利用することによりはじめて，さらに消費電力を低減できる高次に適した手法であるといえる．

この手法を用いて，極めて高い次数での実現化を図る場合，関数加算部の加算器数が増加するために，消費電力と滞在時間が大きくなる．そのため，より高い次数での実現化を図る場合，この部分の性能の向上は重要な条件の一つであるといえる．

5. 4入力2出力加算器

従来の分散演算を用いた実現法では，関数加算部にCLA加算器によるBinary Treeを用いている．特に，極めて高い次数での実現においては，関数

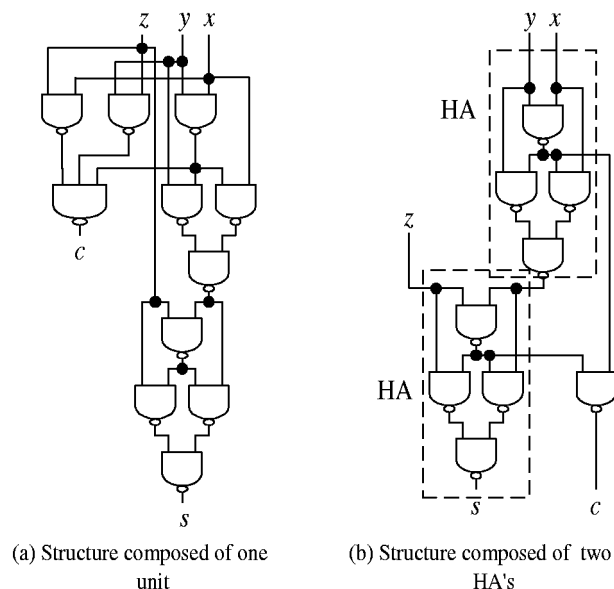


Fig. 7 Structure of FA.

加算部における加算器数の増加による消費電力と滞在時間の増加が問題となる．そこで，われわれはこの部分の消費電力と滞在時間の増加を抑えることができる，4入力2出力加算器を用いた新たな構成法を提案する．

4入力2出力加算器をFA(Full Adder)で構成する場合，一般的に図6に示すようにFAを縦続接続した構成が考えられる．この図の1段目のFAでは，3つの入力変数 w, x, y を同時に入力し，和とキャリーを求めている．2段目のFAでは，1段目のFAから出力された和 s ，入力変数 z と1ビット下位から伝搬されたキャリー c との加算を行っている．この処理を高速に行うためには，図6の1段目から出力されるキャリーの伝搬を高速に行う必要がある．そして，1段目と2段目のFAをほぼ同時に並列処理させることによって，より高速な処理を実現できる．

FAには，図7に示すように単体構成と2個のHA(Half Adder)を縦続接続した構成がある．図7(a)は，3個の入力変数を同時に入力する必要がある，キャリーを高速に求めることができる．図7(b)は，入力変数 z をHAの処理時間分遅れて入力でき，FAの単体構成より少ないゲート数で構成できる特長をもつ．これらのFAの特徴に着目して，高速でしかもハードウェア量を抑えた4入力2出力加算器の実現化を図る．

図6の1段目のFAで，上位へのキャリー伝搬を高速に行うために，図7(a)の単体構成を用いる．一方，2段目のFAでは，高速な処理を実現するため，1段目のFAに対しほぼ同時に並列処理させる必要がある．2段目のFAにおいて，1段目のFAから出

力される和 s は，入力変数 z とキャリー c より遅れて伝搬されるため，図7(b)の縦続接続した構成を用いる．これを用いることにより，1段目と2段目のFAをほぼ同時に並列処理でき，処理時間を低減することができる．さらに，これは少ないゲート数で実現できるため，ハードウェア量を抑えることもできる．以上のFAで構成された4入力2出力加算器は，図8のようになる．

この4入力2出力加算器を関数加算部に適用した構成を図9に示す．この構成を用いることにより，図9(a)に示す従来法のCLA加算器数を a とすると，本提案法では本加算器数を $a/2$ まで低減することができる．このように，加算器数を $1/2$ まで低減させることができ，しかも本加算器はハードウェア量を抑えた構成となっているため，消費電力も低減できる．さらに，本加算器では処理時間の低減を図ったことにより，CLA加算器の処理時間よりも大幅に短くできる．加算段数は同じであるが，これらの構成のパイプラインのピッチは，図9に示す関数加算部の最終段のCLA加算器の処理時間に依存するため，パイプライン段数を低減でき，滞在時間を小さくできる．これは，次数の増加に伴い効果が大きくなるため，高次には適した手法であるといえる．

6. VLSI評価

これまで述べてきた構成法に対して，VLSI設計システムPARTHENONで設計および評価を行う⁸⁾．なお，実部品として用いたセル・ライブラリーの設計ルールは， $0.8\mu\text{m}$ CMOSスタンダードセル(VLSIテクノロジー社)であり，電源電圧は5.0Vである．

ここでは，直線位相特性をRemezアルゴリズムを用いて実現する⁷⁾．フィルタ仕様は，規格化通過域端周波数0.10，規格化阻止域端周波数0.12となる低域通過形フィルタとする．

FIRフィルタの実現法として，ROMを用いた分散演算に基づく従来法がある．これを240タップという高い次数でROMを分割せずに実現した場合，膨大な消費電力を必要とするため実現困難である．そこで，ここではROMを分割して評価を行う．しかし，これを施しても，10.54Wという大きい消費電力を必要とする．それに対し，本プロセッサでは，ROMを用いたプロセッサよりも消費電力を約77%減少できる．これは，最適関数回路により関数生成部の消費電力を大幅に低減させただけでなく，この回路の適用に伴う関数加算部の加算器数の増加を，SEAを用いて $1/2$ に低減させた結果である．

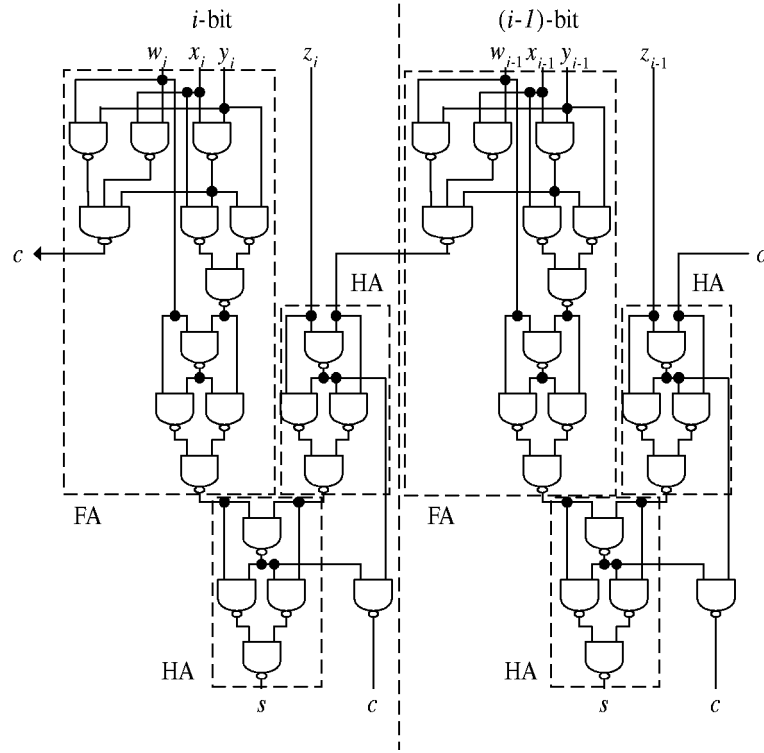


Fig. 8 Proposed 4to2 adder.

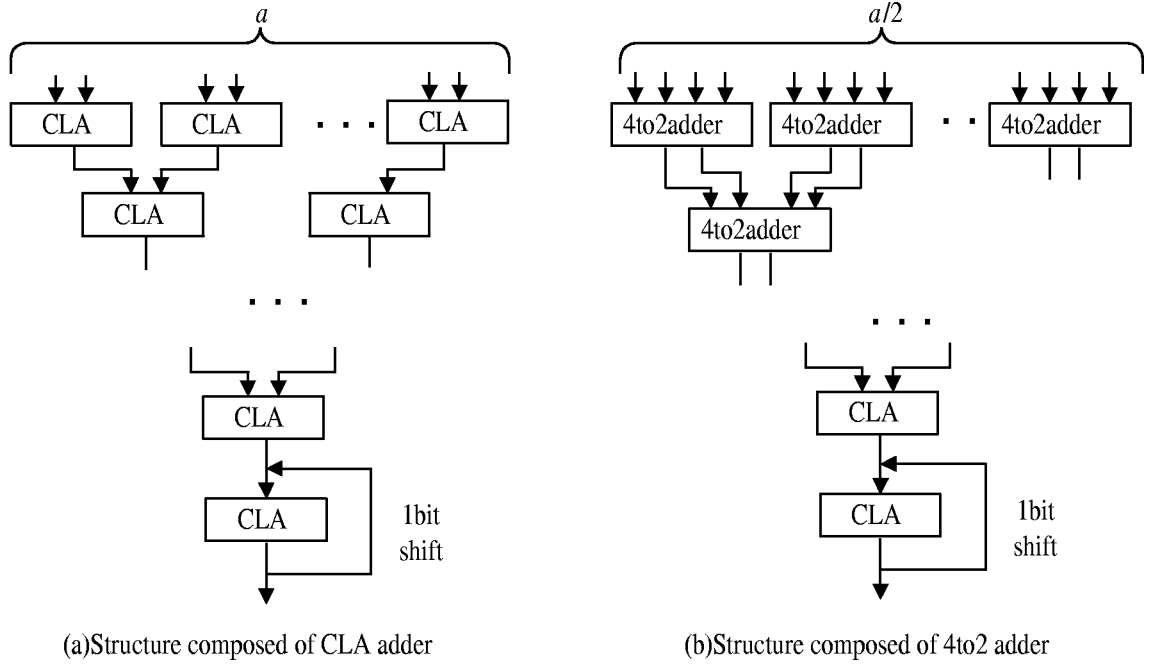


Fig. 9 Structure of functional addition unit.

Table 1 Evaluation of 240-tap FIR filters

	Proposed method using 4to2 adders	Method using SFA and CLA adders	Conventional method using ROM's	General method using multipliers for direct form
Power dissipation[W]	2.47	2.65	10.54	31.2
Area [mm ²]	10.9	11.3	23.6	85.4
Number of gates	52769	55206	71995	892362
Sampling rate [MHz]	2.86	2.86	2.86	2.27
Latency [ns]	475	525	550	1154

さらに、われわれは高い次数に適した実現法として、最適関数回路を用いた構成にSFAを適用した実現法を提案してきた³⁾。本プロセッサでは、極めて高い次数にも適したプロセッサを実現するために、CLA加算器で構成されるBinary Treeを用いた従来法ではなく、4入力2出力加算器を用いた新しい手法を適用した。この結果、本プロセッサは、従来のSFAを用いたプロセッサの消費電力より約7%減少できた。これは、加算器数を1/2まで低減化しただけでなく、FAの特徴を利用して4入力2出力加算器のハードウェア量を抑えた結果である。さらに、FAの特徴を考慮して4入力2出力加算器の処理時間の低減を図った。その結果、パイプラインのピッチであるCLA加算器の処理時間より小さくすることができ、SFAを用いたプロセッサの滞在時間より約10%減少できた。

また、FIRフィルタの一般的な手法の1つとして、乗算器を用いた直接型構成に基づく実現法がある。これは、タップ数分の乗算器を必要とするため非常に膨大な消費電力を必要とする。これは、本プロセッサの約12.6倍に相当する。このことから、本実現法は高次において非常に効率的な実現法の1つであるといえる。

以上のことから、本プロセッサでは、240タップという高次で、滞在時間を475nsという小さい値に抑えながら、2.47MHzという高いサンプリングレートを実現できる有効な手法であることがわかる。このように本プロセッサは、従来の実現法では得ることが困難であって低い滞在時間と消費電力を同時に実現できる。さらに高い次数でも、滞在時間を抑えながら高速で、しかも大幅な低消費電力化を実現できるため、本プロセッサはさらに高い次数でも有効な手法であるといえる。

7. まとめ

本稿では、分散演算を用いた高次FIRフィルタのVLSIアーキテクチャを提案した。われわれはこ

れまで、高次に適したFIRフィルタの実現法を提案してきた¹⁾。これは、処理時間が語長のみに依存する分散演算を用いて、高次でも滞在時間を抑えて高いスループットを実現できる。また、論理ゲートで構成される最適関数回路を用いて、大幅な低消費電力化を実現した。

われわれはさらに高い次数での実現に適した高次FIRフィルタの実現法を提案してきた³⁾。最適関数回路を用いた構成は、関数加算部の加算器数が増加するが、大幅な低消費電力化を実現できる。そこで、加算器数を1/2まで低減できるSFAを最適関数回路を用いた構成に適用し、さらに消費電力を低減させた。このように、この手法は最適関数回路とSFAの特長を利用した新しい手法といえる。

本提案法では、さらに極めて高い次数での実現を図るために、4入力2出力加算器を用いた新たな手法を用いた。これにより、ハードウェア量を低減した本加算器数を1/2まで減少できるため、消費電力を削減できた。さらに、FAの特徴を利用して4入力2出力加算器の処理時間の低減を図った結果、滞在時間の減少を実現できた。

最後に本プロセッサをVLSI評価した結果、240タップという高い次数で、滞在時間を475nsという小さい値に抑えながら、2.47MHzという高いサンプリングレートを実現できること示した。さらに高い次数でもサンプリングレートを一定にしながら、消費電力と滞在時間の大きさを抑えて実現できる有効な手法であることを明らかにした。

参考文献

- 1) 恒川佳隆, 野崎剛, 三浦守: 滞在時間を考慮した高次FIRフィルタの高速・低消費電力形VLSIアーキテクチャ, 電気学会論文誌C, vol. 118-C, No. 7/8, 1098/1107 (1998)
- 2) L. Mintzer: FIR Filter with Field-programmable Gate Arrays, Journal of VLSI Signal Processing, 6, 119/127 (1993)
- 3) 田村惣一, 恒川佳隆, 吉田等明, 三浦守: 直線位相

特性を用いた高次FIRフィルタの 高性能VLSIアーキテクチャ, 第181回計測制御東北支部研究集会

- 4) C. F. Chen:Implementing FIR Filters with Distributed Arithmetic, IEEE Trans., Acoust. Speech & Signal Process., **ASSP-33-4**, 1318/1321 (1985)
- 5) C. S. Burrus:Digital Filter Structures Described by Distributed Arithmetic, IEEE Trans., Circuit & Syst., **CAS-24**, 674/680 (1977)
- 6) A. Peled and B. Liu:A New Hardware Realization of Digital Filters, IEEE Trans., Acoust. Speech & Signal Process., **ASSP-22-12**, 456/462 (1974)
- 7) R. K. Brayton and C. McClellan: The decomposition and factorization of Boolean expressions , **ISCAS-82** 49/54 (1982)
- 8) NTT データ通信株式会社:PARTHNON User's Manual (1990)