

# マクレラン変換を用いた2次元FIRデジタルフィルタの 高性能VLSIアーキテクチャ

## High-Performance VLSI Architecture for Two-Dimensional FIR Digital Filters Using McClellan Transformation

○中條裕木\*, 佐々木友寿\*, 野崎剛\*, 恒川佳隆\*

○Hiroki Chujo\*, Tomohisa Sasaki\*, Takeshi Nozaki\*, and Yoshitaka Tsunekawa\*

\*岩手大学 工学部

\*Faculty of Engineering, Iwate University

キーワード: マクレラン変換(McClellan transform), 分散演算 (distributed arithmetic), 2次元FIRフィルタ  
(two-dimensional FIR filter), VLSI評価 (VLSI evaluation)

連絡先: 〒020-8551 盛岡市上田4-3-5 岩手大学 工学部

中條裕木, Tel.: (019)621-6468, Fax.: (019)621-6468, E-mail: t3305020@iwate-u.ac.jp

### 1. はじめに

多次元デジタル信号処理は、画像・動画処理、地震探査などの幅広い分野で用いられ、その重要性を急速に増している。同時に、そのシステムに対する要求は、ますます高速、高機能化の度合いを増している。画像に代表される2次元信号のフィルタリングの一つとして、2次元FIRデジタルフィルタがある。FIRデジタルフィルタは安定性が保証されており、完全な直線位相特性を容易に実現できるため、信号処理に広く利用されている。しかし、急峻な遮断特性を実現するためには高い次数が要求されるため、フィルタリングに必要なハードウェア量や計算量が膨大になるという問題を有する。

2次元FIRフィルタの一般的な実現法の1つとして、乗算器を用いた直接型構成に基づく手法がある<sup>1)</sup>。この構成は、各タップごとにパイプライン処理を施すことで、高いサンプリングレートを得ることができるという特長を有する。しかし、 $(M, N)$ 次の2次元FIRフィルタを実現するために $(M+1) \times (N+1)$ 個の乗算器を用いるため、膨大なハードウェア量と消費電力を必要とする。また、パイプ

ライン段数がタップ数に依存するため、高次のフィルタリングにおいて出力滞在時間(Latency)が大きくなるという問題も生じる。

そこで、我々は分散演算に基づく高次向き2次元FIRフィルタのVLSIアーキテクチャを提案してきた<sup>2)</sup>。分散演算は内積演算の処理時間が語長のみに依存するという特長を有し、次数の増加に対してサンプリングレートを保持しながらほぼ一定の小さな滞在時間に抑えることが可能である<sup>3)</sup>。しかし、分散演算に基づく従来型の構成はROMを用いる部分での消費電力が大きいため、この手法に基づく2次元FIRフィルタの実現には非常に大きな消費電力を必要とする。そこで、我々が提案してきた最適関数回路(Optimum Functional Circuit:OFC)をROMの代わりに用いる新たな構成法を示した<sup>2)</sup>。これにより、従来形の分散演算に基づく構成で問題であった消費電力を大幅に削減した。

本報告では、上述アーキテクチャの更なる高性能化のため、2次元FIRフィルタの設計法の一つとして知られるマクレラン変換法(McClellan transformation)を用いて設計される2次元FIRフィルタのフィルタ係数が有する特徴に着目する。すなわ

ち、マクレラン変換法により設計された2次元FIRフィルタのフィルタ係数が持つ対称性を利用し、大幅に消費電力と滞在時間を減少する効率的な構成法を提案する。特に、帯域通過型、帯域阻止型フィルタの係数の特徴に着目し、それらに特化することにより、さらに大きくハードウェア量、消費電力および出力滞在時間を低減する手法を提案する。これにより、極めて高次のフィルタリングに向けた2次元FIRフィルタが実現可能である。最後に、本プロセッサに対してVLSI評価を行い、本提案法が高次のフィルタリングにおいて、サンプリングレートを一定とし、滞在時間を抑えながら、消費電力とハードウェア量を大幅に削減する有効な手法であることを明らかにする。

## 2. 分散演算に基づく構成

高次向き2次元FIRフィルタを実現するため、乗算器を用いることなく実現が可能であり、しかも処理時間が語長のみ依存する分散演算のアルゴリズムに着目する<sup>4)</sup>。そこで、本章ではまず分散演算について述べ、次に2次元FIRフィルタへ分散演算を適用し、その基本構成を示す。

### 2.1 分散演算

分散演算は定係数の内積演算をテーブル・ルックアップにより実現する計算手法である。いま、項数 $N$ の係数ベクトル  $\mathbf{a} = (a_1, \dots, a_N)$  と変数ベクトル  $\mathbf{v} = (v_1, \dots, v_N)$  との内積

$$\mathbf{y} = \mathbf{a}\mathbf{v} = \sum_{i=1}^N a_i v_i \quad (1)$$

を考える。ただし、 $v_i$  は  $-1 \leq v_i < 1$  で、 $B$  ビットの固定小数点形の2の補数表示である。これを

$$v_i = -v_i^0 + \sum_{k=1}^{B-1} 2^{-k} v_i^k \quad (2)$$

と表す。ここで、 $v_i^k$  は  $v_i$  の  $k$  ビット目の値で0または1である。式(2)を式(1)に代入すると、内積演算  $\mathbf{a}\mathbf{v}$  は次式で示される。

$$\mathbf{y} = -\Phi(v_1^0, \dots, v_N^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(v_1^k, \dots, v_N^k) \quad (3)$$

ただし関数  $\Phi$  は

$$\Phi(v_1^k, \dots, v_N^k) = \sum_{i=1}^N a_i v_i^k \quad (4)$$

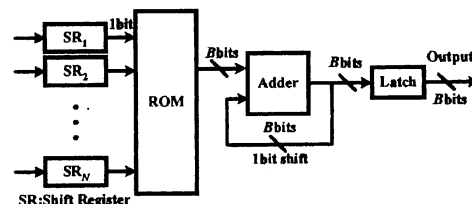


Fig. 1 Basic structure based on distributed arithmetic

である。

式(3)と式(4)に示される処理を行う分散演算の基本構成をFig. 1に示す。この構成では、 $N$ 個のシフトレジスタから  $(v_1^k, \dots, v_N^k)$  を出力し、これをROMにアドレスとして入力する。ROMには、式(4)で与えられる入力データの各ビットと係数との内積演算の結果、すなわち関数  $\Phi$  がテーブルとして書きこまれている。計算時にはそのテーブルの参照により得られた値を関数加算部にて順次1ビットシフトしながら、語長 $B$ 回分の累積加算処理を行う。これは、項数 $N$ が増加しても処理時間を一定の小さな値とすることができ、さらに乗算器を用いずに構成可能であるため、ハードウェア量を非常に小さくすることができる。

### 2.2 分散演算に基づく2次元FIRフィルタ

分散演算を2次元FIRフィルタへ適用する。入力を  $x(m, n)$ 、出力を  $y(m, n)$  とした際の2次元FIRフィルタの入出力関係を

$$\begin{aligned} y(m, n) &= \sum_{j=0}^N \sum_{i=0}^M h(i, j) x(m-i, n-j) \\ &= \sum_{j=0}^N f(j) \end{aligned} \quad (5)$$

とおく。ここで、 $h(i, j)$  はインパルス応答を表し、 $M, N$  は2次元FIRフィルタの水平方向、垂直方向の次数である。 $x(m-i, n-j)$  は  $-1 \leq x(m-i, n-j) < 1$  で、 $B$  ビットの固定小数点形の2の補数表示であるものとするれば、

$$\begin{aligned} x(m-i, n-j) &= -x^0(m-i, n-j) \\ &\quad + \sum_{k=1}^{B-1} 2^{-k} x^k(m-i, n-j) \end{aligned} \quad (6)$$

と表される。ただし、 $x^k(m-i, n-j)$  は  $x(m-i, n-j)$  の  $k$  ビット目の値であり、0もしくは1である。式

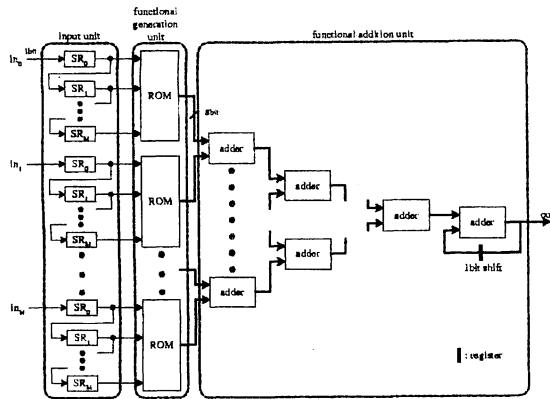


Fig. 2 Basic structure of 2-dimensional FIR filter based on distributed arithmetic

(6) より,  $f(j)$  は式(7) のように表される.

$$f(j) = -\Phi(x_{0,j}^0, \dots, x_{M,j}^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) \quad (7)$$

ただし,  $x_{i,j}^k$  は  $x(i, j)$  の  $k$  ビット目の値であり, 0 もしくは 1 である. 関数  $\Phi$  は

$$\Phi(x_{0,j}^k, \dots, x_{M,j}^k) = \sum_{i=0}^M h(i, j) x^k(m-i, n-j) \quad (8)$$

である. これにより式(5) は, 次式のように表すことができる.

$$y(m, n) = \sum_{j=0}^N \left\{ -\Phi(x_{0,j}^0, \dots, x_{M,j}^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) \right\} \quad (9)$$

式(8), 式(9) により示された分散演算を適用した  $(M, N)$  次の 2次元 FIR フィルタの構成を Fig. 2 に示す. なお, ここでは Fig. 2 の構成をその機能から入力部, 関数生成部, 関数加算部に大別する. 関数加算部の各 ROM には,  $(M+1)$  個のデータが, それぞれビットシリアルに入力される. ROM には入力の各ビットと係数の内積演算の結果, すなわち式(8) の関数  $\Phi$  がテーブルとして書きこまれている. 計算時には, テーブルの参照により得られた値を関数加算部にて順次 1 ビットシフトしながら加算している. この加算処理は語長  $B$  回で終了するため, 次数の増加に対してサンプリングレートを保持しながら, ほぼ一定の小さな滞在時間に抑えることができる. さらに, 乗算器を用いた構成

と比較して, ハードウェア量を大幅に抑えることができる. しかし, Fig. 2 に示した構成を実現するには,  $2^{M+1}$  ワードのメモリ容量の ROM が  $N+1$  個必要とされる. このため, 高次形 2次元 FIR フィルタに対しては, 関数生成部における消費電力が膨大となる. この消費電力の問題を解決するため, 関数の分割化法がある. これは, 大きな ROM 容量を幾つかの小さな ROM 容量の加算として実現する手法である. ここで, 分割数を  $Q$  とすると, それを以下のように表すことができる.

$$\begin{aligned} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) &= \sum_{i=0}^{M/Q} h(i, j) x^k(m-i, n-j) + \\ &\dots + \sum_{i=Q'}^M h(i, j) x^k(m-i, n-j) \\ &= \Phi(x_{0,j}^k, \dots, x_{M/Q,j}^k) + \\ &\dots + \Phi(x_{Q',j}^k, \dots, x_{M,j}^k) \end{aligned} \quad (10)$$

ただし,

$$Q' = \frac{(M+1)(Q-1)}{Q} \quad (11)$$

である. これにより, ROM の容量を大幅に低減することができる. しかし, この手法を用いても, 高次では比較的消費電力の大きい ROM を多用するために, 関数生成部の消費電力が非常に大きくなり, フィルタ全体の消費電力が増大する.

### 3. 最適関数回路

関数生成部における消費電力の問題を解決するため, 関数  $\Phi$  の生成に ROM ではなく, 我々が提案してきた最適関数回路を用いた構成に着目し, 大幅な低消費電力化を可能とする構成を提案した<sup>2)</sup>. 最適関数回路は, ROM と同様の機能をゲートにより実現する手法であり, 処理性能を低減させずに大幅な低消費電力化が可能である.<sup>4)</sup> ここで, ROM に格納されている関数テーブルを, 次のように  $2^l \times B$  の行列で表す.

$$W_{ROM} = \begin{bmatrix} t_0^{B-1} & \dots & t_0^0 \\ \vdots & \dots & \vdots \\ t_{2^l-1}^{B-1} & \dots & t_{2^l-1}^0 \end{bmatrix} \quad (12)$$

式(12) の各行ベクトル  $[w_i^{B-1} \dots w_i^0]$  は,  $i$  番地に格納されている  $B$  ビットの出力データである. 最適関数回路は, 式(12) の行または列には同じベクトルが存在することに着目し, それらを共有化し

た関数 $\Phi$ をテーブルとして用いる。そこで、これらを共有化して、関数テーブルの大きさを低減する。この冗長性の削除により生成される行列を、

$$W_{OPT} = \begin{bmatrix} t_0^j & \cdots & t_0^0 \\ \vdots & \cdots & \vdots \\ t_i^j & \cdots & t_i^0 \end{bmatrix} \quad (13)$$

という $i \times j$ の行列で表す。ただし、

$$i \leq 2^l - 1 \quad j \leq B - 1 \quad (14)$$

である。最適関数回路は式(13)の行ベクトルに対応する部分機能回路と列ベクトルに対応する部分機能回路を縦続接続した構成をとる。これは、論理ゲートにより構成され、高次形2次元FIRフィルタにこれを適用することにより、消費電力を大幅に削減することができる。

しかし、極めて高次のフィルタを実現する場合、関数 $\Phi$ の分割数が非常に多いために、関数加算部において加算器数が増加し、フィルタ全体の消費電力に大きく影響を及ぼす。また、同時に加算段数が増加するために滞在時間も増加する。

本稿では、これらの問題を解決するための新たな二つの手法を提案する。はじめに、関数加算部における消費電力と滞在時間の問題に対し、我々が提案してきた4入力2出力加算器を適用することで、これを改善する。次に、マクレラン変換により設計された2次元零位相FIRフィルタの係数が有する特長に着目し、SFAを効果的に用いることにより関数生成部、および関数加算部における消費電力と滞在時間を大幅に削減する新たな構成法を提案する。

#### 4. 4入力2出力加算器

本提案の4入力2出力加算器の構成を Fig. 3 に示す。本加算器は Fig. 4 に示す異なるタイプのFA(Full Adder)の縦続接続により構成される。ここで、Fig. 4 (a)のFAは、上位ビットへのキャリーを高速に出力する特長を有する。また、Fig. 4 (b)のFAの入力変数 $z$ に対する入力のタイミングには、HA(Half Adder)の処理時間分の余裕が存在する。従って、これらのFAを縦続に接続することにより双方のFAは処理を並列に行うことが可能となる。このため、加算に要する処理時間が減少し、関数加算部における滞在時間が低減する。さらに、本加算器は少ない論理ゲートで実現可能であるため、多くの加算器を使用する本プロセッサの低消費電力化のために、非常に有効な構成である。

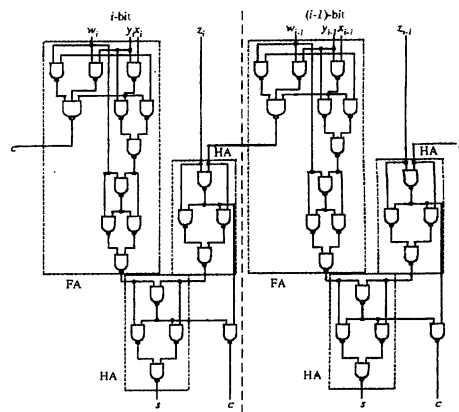


Fig. 3 Structure of 4-2 adder

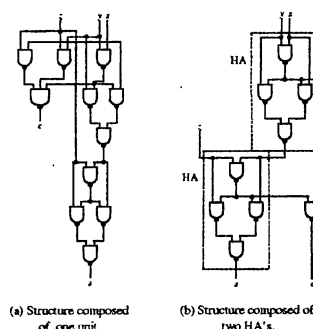


Fig. 4 Full Adder using in 4-2 adder

### 5. マクレラン変換に基づく分散演算型VLSIアーキテクチャ

最適関数回路によって得られた非常に小さい消費電力をさらに減少するため、本稿では、マクレラン変換に基づき設計された2次元零位相FIRフィルタの係数が有する特徴に着目する。そして、プロセッサの消費電力と滞在時間の大幅な低減を可能にする2つの特長を示し、それぞれの場合について効率的な構成法を提案する。はじめに、マクレラン変換について示す。

#### 5.1 マクレラン変換

マクレラン変換は1次元零位相FIRフィルタに対し写像に基づいた変数変換を施すことにより、2次元零位相FIRフィルタを導く設計手法であり、円対称特性への周波数変換法として知られている<sup>5) 6) 7)</sup>。

1次元零位相FIRフィルタの伝達関数 $H_1(e^{j\omega})$ 、インパルス応答 $h(n)$ の関係は、 $h(n)$ を偶対称応答、 $N$ を奇数と規定するとき、次式のように表すことが

できる.

$$H_1(e^{j\omega}) = \sum_{n=0}^N a(n) \cos(\omega n) \quad (15)$$

$$a(n) = \begin{cases} h(0), & n = 0 \\ 2h(n), & 1 \leq n \leq N \end{cases}$$

ここで, 式(15)の関係式において,  $\cos(\omega n)$ は $\cos \omega$ の $n$ 次のチェビシェフ多項式 $T_n$ により次式のように表される.

$$\cos(\omega n) = T_n(\cos \omega) \quad (16)$$

$$\begin{cases} T_0(\cos \omega) = 1 \\ T_1(\cos \omega) = \cos \omega \\ T_n(\cos \omega) = 2 \cos \omega T_{n-1}(\cos \omega) \\ \quad - T_{n-2}(\cos \omega), \quad n \geq 2 \end{cases}$$

さらに, 2次元への周波数変換式として式(17)を導入する.

$$\begin{aligned} \cos \omega &= F(e^{j\omega_1}, e^{j\omega_2}) \\ &= A + B \cos \omega_1 + C \cos \omega_2 \\ &\quad + D \cos(\omega_1 - \omega_2) + E \cos(\omega_1 + \omega_2) \end{aligned} \quad (17)$$

式(15)へ式(16), 式(17)を代入することにより, 2次元周波数特性 $H_2(e^{j\omega_1}, e^{j\omega_2})$ は

$$H_2(e^{j\omega_1}, e^{j\omega_2}) = \sum_{n=1}^N a(n) T_n[F(e^{j\omega_1}, e^{j\omega_2})] \quad (18)$$

と表すことができる. ここで, 式(17)の $A, B, C, D, E$ は2次元周波数の特性を制御するパラメータである. McClellanは円対称に近い軌跡を生ずるパラメータを与えており, このような変換をマクレラン変換と呼ぶ.

零位相特性を有する2次元FIRフィルタは, 実係数のインパルス応答 $h(n_1, n_2)$ について

$$h(n_1, n_2) = h(-n_1, -n_2) \quad (19)$$

のような対称性を持つ. さらに,  $M = N$ であり, 設計される2次元零位相FIRフィルタの周波数特性が $\omega_1, \omega_2$ 軸と $\omega_1 = \pm \omega_2$ に対して対称である8角形対称特性

$$\begin{aligned} H(\omega_1, \omega_2) \\ = H(-\omega_1, \omega_2) = H(\omega_1, -\omega_2) = H(\omega_2, \omega_1) \end{aligned} \quad (20)$$

を有するときその2次元インパルス応答には, 8点の対称特性が得られることが知られている.<sup>7)</sup> さらに, この周波数変換法を用いて得られた帯域フィルタのフィルタ係数はこの8点の対称性に加え, 係数値に規則的に"0"が配置される特長を持つ. そ

こで, マクレラン変換により設計された2次元零位相FIRフィルタの係数が持つこれら2つの特長を活かした高次向き高性能2次元FIRフィルタを実現する.

## 5.2 8角形対称特性を利用した構成

フィルタ係数に8点の称特性を有する $(N, N)$ 次の2次元FIRフィルタに対し, ハードウェア量と消費電力を大幅に削減し, さらに滞在時間を減少する効率的な構成法を提案する.

設計された零位相2次元FIRフィルタの振幅特性が $\omega_1, \omega_2$ 軸と $\omega_1 = \pm \omega_2$ に対して対称であるとき, 実係数のインパルス応答 $h(n_1, n_2)$ が次式のような対称性を持つ.

$$\begin{aligned} h(n_1, n_2) &= h(n_1, -n_2) = h(-n_1, n_2) \\ &= h(-n_1, -n_2) = h(n_2, n_1) \\ &= h(n_2, -n_1) = h(-n_2, n_1) \\ &= h(-n_2, -n_1) \end{aligned} \quad (21)$$

ただし, 次に示す2つの領域においてはいずれも軸対称性および原点对称性のみ成り立つことに留意する.

1:  $n_1, n_2$ 軸上

$$\begin{aligned} h(n, 0) &= h(-n, 0) \\ &= h(0, -n) = h(0, n) \end{aligned} \quad (22)$$

2:  $[(n_1, n_2) | n_1 = \pm n_2]$

$$\begin{aligned} h(n, n) &= h(n, -n) \\ &= h(-n, n) = h(-n, -n) \end{aligned} \quad (23)$$

ただし,  $-N/2 \leq n \leq N/2$ とする.

ここで, 式(21)を式(8)に代入して得られる新たな関数を $\Phi_e$ とすると,

$$\begin{aligned} \Phi_e \{ &x_{1,j}^k + x_{j,1}^k + x_{j,N-1}^k + x_{N-1,j}^k + x_{N-1,N-j}^k \\ &+ x_{N-j,N-1}^k + x_{N-j,1}^k + x_{1,N-j}^k, \\ &\vdots \\ &(x_{\frac{N}{2}-2,j}^k + x_{j,\frac{N}{2}-2}^k + x_{j,\frac{N}{2}+2}^k + x_{\frac{N}{2}+2,j}^k \\ &+ x_{\frac{N}{2}+2,N-j}^k + x_{N-j,\frac{N}{2}+2}^k + x_{N-j,\frac{N}{2}-2}^k \\ &\quad + x_{\frac{N}{2}-2,N-j}^k) \} \\ &= \sum_{i=j+1}^{\frac{N}{2}-1} h(i, j) \{ x^k(i, j) + x^k(i, N-j) \\ &\quad + x^k(N-i, j) + x^k(N-i, N-j) \\ &\quad + x^k(j, i) + x^k(j, N-i) \\ &\quad + x^k(N-j, i) + x^k(N-j, N-i) \} \end{aligned} \quad (24)$$

と表される。

同様に式(22), 式(23)を式(8)へ代入して得られる関数を $\Phi_{f1}, \Phi_{f2}$ とすると,

$$\begin{aligned} \Phi_{f1} & \left\{ \left( x_{\frac{N}{2}, j}^k + x_{\frac{N}{2}, N-j}^k + x_{j, \frac{N}{2}}^k + x_{N-j, \frac{N}{2}}^k \right), \right. \\ & \quad \vdots \\ & \left. \left( x_{\frac{N}{2}, \frac{N}{2}-1}^k + x_{\frac{N}{2}, \frac{N}{2}+1}^k + x_{\frac{N}{2}+1, \frac{N}{2}}^k + x_{\frac{N}{2}-1, \frac{N}{2}}^k \right) \right\} \\ & = \sum_{j=0}^{\frac{N}{2}-1} h(j, j) \left\{ x^k \left( \frac{N}{2}, j \right) + x^k \left( N-j, \frac{N}{2} \right) \right. \\ & \quad \left. + x^k \left( \frac{N}{2}, N-j \right) + x^k \left( j, \frac{N}{2} \right) \right\} \quad (25) \end{aligned}$$

$$\begin{aligned} \Phi_{f2} & \left\{ \left( x_{j, j}^k + x_{N-j, j}^k + x_{j, N-j}^k + x_{N-j, N-j}^k \right), \right. \\ & \quad \vdots \\ & \left. \left( x_{\frac{N}{2}-1, \frac{N}{2}-1}^k + x_{\frac{N}{2}+1, \frac{N}{2}-1}^k \right. \right. \\ & \quad \left. \left. + x_{\frac{N}{2}-1, \frac{N}{2}+1}^k + x_{\frac{N}{2}+1, \frac{N}{2}+1}^k \right) \right\} \\ & = \sum_{j=0}^{\frac{N}{2}-1} h(j, j) \left\{ x^k(j, j) + x^k(N-j, j) \right. \\ & \quad \left. + x^k(j, N-j) + x^k(N-j, N-j) \right\} \quad (26) \end{aligned}$$

が得られる。この結果、分散演算に基づく2次元FIRフィルタに用いられる関数 $\Phi$ は次のように表すことができる。

$$\Phi = \Phi_e + \Phi_{f1} + \Phi_{f2} + \Phi_0 \quad (27)$$

ただし,

$$\Phi_0(x_{\frac{N}{2}, \frac{N}{2}}^k) = h_{\frac{N}{2}, \frac{N}{2}} x_{\frac{N}{2}}^k \quad (28)$$

である。ここで、式(24), 式(25), 式(26)において、関数への入力データの和を表す部分をあらかじめ計算し、一つの入力データとして処理することで、項数をそれぞれ、 $1/8, 1/4, 1/4$ に減少した演算とみなすことができる。これにより、関数 $\Phi$ のテーブルの大きさ、さらに関数加算部の加算器数も全体で $(N+2)(N+4)/8$ に減少することが可能となる。しかし、式(24), 式(25), 式(26)の加算項をあらかじめ計算する場合、その加算結果が3ビット長、または4ビット長となることを考慮する必要がある。

この問題を解決する構成として、Fig. 5に示すようなSFA unitに基づく新たな構成法を提案する。SFAはFA(Full Adder)とレジスタを組み合わせた回路であり、FAによる加算で生じるキャリーをSFA内部のレジスタへ出力する。Fig. 5においてSFA unit1は3つのSFAから構成される。これは並列に入力される4項のビットの加算結果をビットシ

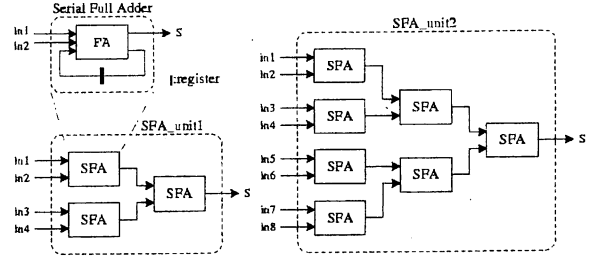


Fig. 5 Structure of SFA units

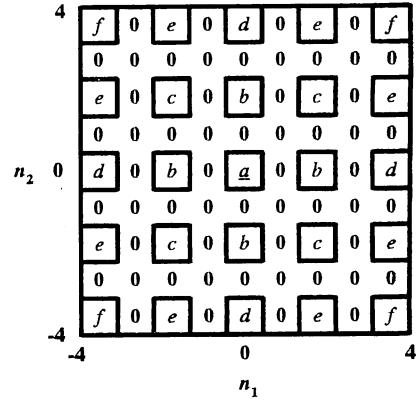


Fig. 7 Impulse response of band filter (8,8)

リアルに出力することが可能であり、式(25), 式(26)で与えられる関数 $\Phi_{f1}, \Phi_{f2}$ への入力に使用する。また、SFA unit2は7つのSFAから構成され、式(24)で与えられる関数 $\Phi_e$ への入力に使用する。

これらのSFA unitの適用による加算器数の大幅な削減は、関数加算部に占める消費電力の割合が大きい本構成において非常に効果的といえる。また、加算段数が減少できるために滞在時間も減少する。

### 5.3 帯域型フィルタに特化した構成

マクレラン変換により設計された帯域フィルタの係数の特長に着目する。具体例として、帯域通過フィルタのフィルタ係数をFig. 7に示す。Fig. 7から分かるように、マクレラン変換により設計された帯域型フィルタのインパルス応答は8点の対称性を有する他、

$$h(n_1, n_2) = 0, \quad [(n_1, n_2) | n_1, n_2 : \text{奇数}] \quad (29)$$

が成り立つ。そこで、このマクレラン変換に基づき設計された帯域型フィルタの係数の特長に着目し、前節で示した構成に対し適用することにより、帯域型に特化し、更なる低消費電力化と滞在時間

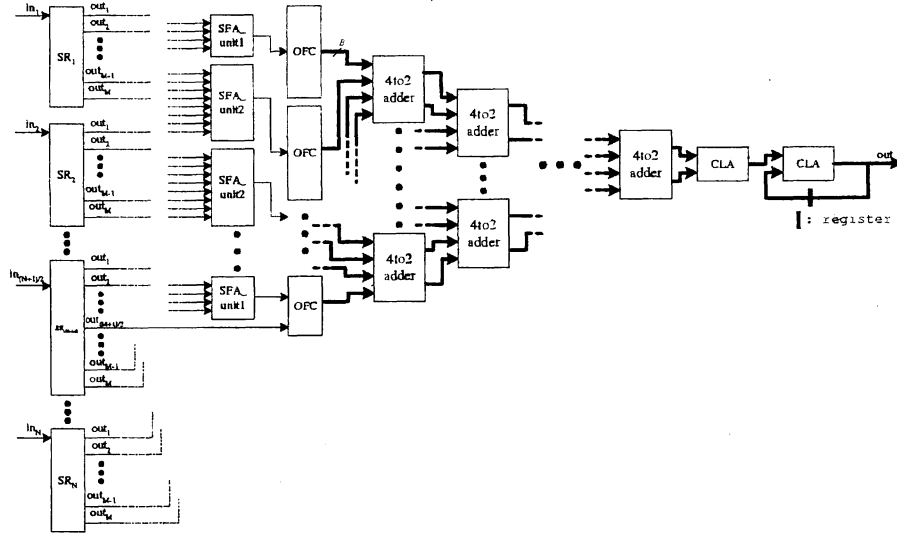


Fig. 6 Structure of 2D FIR filter using 8-points symmetry

の減少を実現する高次向き2次元FIRフィルタの構成法を提案する。ここで、式(29)を式(24)へ代入し、得られる新たな分散演算の関数を $\Phi_{be}$ とすると、

$$\begin{aligned} \Phi_{be} & \{ (x_{2,2j}^k + x_{2j,2}^k + x_{2j,N-2}^k + x_{N-2,2j}^k + x_{N-2,N-2j}^k \\ & + x_{N-2j,N-2}^k + x_{N-2j,2}^k + x_{2,N-2j}^k), \\ & \vdots \\ & (x_{\frac{N}{2}-4,2j}^k + x_{2j,\frac{N}{2}-4}^k + x_{2j,\frac{N}{2}+4}^k + x_{\frac{N}{2}+4,2j}^k \\ & + x_{\frac{N}{2}+4,N-2j}^k + x_{N-2j,\frac{N}{2}+4}^k + x_{N-2j,\frac{N}{2}-4}^k \\ & + x_{\frac{N}{2}-4,N-2j}^k) \} \\ & = \sum_{i=j+2}^{\frac{N}{2}-2} h(2i, 2j) \{ x^k(2i, 2j) + x^k(2i, N-2j) \\ & + x^k(N-2i, 2j) + x^k(N-2i, N-2j) \\ & + x^k(2j, 2i) + x^k(2j, N-2i) \\ & + x^k(N-2j, 2i) + x^k(N-2j, N-2i) \} \quad (30) \end{aligned}$$

と表される。同様に式(29)を式(25)、式(26)へ代入してえられる関数を $\Phi_{bf1}$ 、 $\Phi_{bf2}$ とすると、

$$\begin{aligned} \Phi_{bf1} & \{ (x_{\frac{N}{2},2j}^k + x_{\frac{N}{2},N-2j}^k + x_{2j,\frac{N}{2}}^k + x_{N-2j,\frac{N}{2}}^k), \\ & \vdots \\ & (x_{\frac{N}{2},\frac{N}{2}-2}^k + x_{\frac{N}{2},\frac{N}{2}+2}^k + x_{\frac{N}{2}+2,\frac{N}{2}}^k + x_{\frac{N}{2}-2,\frac{N}{2}}^k) \} \\ & = \sum_{j=0}^{\frac{N}{4}} h(2j, 2j) \{ x^k(\frac{N}{2}, 2j) + x^k(N-2j, \frac{N}{2}) \\ & + x^k(\frac{N}{2}, N-2j) + x^k(2j, \frac{N}{2}) \} \quad (31) \end{aligned}$$

$$\begin{aligned} \Phi_{bf2} & \{ (x_{2j,2j}^k + x_{N-2j,2j}^k \\ & + x_{2j,N-2j}^k + x_{N-2j,N-2j}^k), \\ & \vdots \\ & (x_{\frac{N}{2}-2,\frac{N}{2}-2}^k + x_{\frac{N}{2}+2,\frac{N}{2}-2}^k \\ & + x_{\frac{N}{2}-2,\frac{N}{2}+2}^k + x_{\frac{N}{2}+2,\frac{N}{2}+2}^k) \} \\ & = \sum_{j=0}^{\frac{N}{4}} h(2j, 2j) \{ x^k(2j, 2j) + x^k(N-2j, 2j) \\ & + x^k(2j, N-2j) + x^k(N-2j, N-2j) \} \quad (32) \end{aligned}$$

が得られる。この結果、帯域型に特化した場合の分散演算に基づく2次元FIRフィルタに用いられる関数 $\Phi$ は次式のように表すことができる。

$$\Phi = \Phi_{be} + \Phi_{bf1} + \Phi_{bf2} + \Phi_0 \quad (33)$$

ここで、式(30)、式(31)、式(32)それぞれに基づき実現される関数生成部の回路規模、およびそれらの入力線数は1/2に減少している。ゆえに、式(33)に基づく構成法により、関数生成部の大幅な消費電力およびハードウェア量の削減が可能である。さらに、以上の関数生成部の回路規模の減少により、比較的大きな消費電力を必要としている関数加算部の加算器数、および加算段数が減少する。

しかし、式(33)を基に生成した関数を用いるには入力部の構成を変更する必要がある。そこで、Fig. 2の入力部の構成から、式(33)に対応しないSRからの出力と、SRUを削除すると、入力部はFig. 8に示す構成となる。Fig. 8に示されるように、SRUの出力を $(\frac{N}{2}+1)$ ビットとし、このSRUをさらに $(\frac{N}{2}+1)$ 個用いることにより入力部を構成する。

Table 1 VLSI evaluation of 2-D FIR filter(M=N=40)

	Proposed method using symmetry band filter	Proposed method using 8points symmetry	Conventional method using ROM	Method using multipliers for direct form
Power dissipation[W]	7.1	15.4	59.5	110.5
Area [mm <sup>2</sup> ]	17.6	37.7	77.8	802.6
Number of gates	152900	328275	504631	7205388
Machine cycle [ns]	16	16	16	58
Sampling rate [MHz]	4.46	4.46	4.46	17.24
Latency [ns]	336	352	416	406

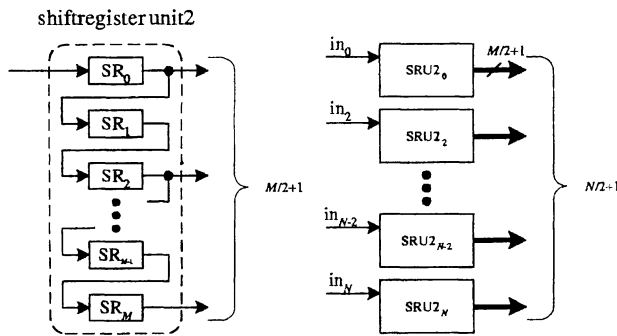


Fig. 8 Structure of Input part for band filter

## 6. VLSI評価

以上の提案法の有効性を明らかにするために、VLSI設計システムPARTHENONを用いて設計、評価を行う<sup>8)</sup>。なお、設計に用いたセルライブラリの設計ルールは、0.6 $\mu$ m CMOSスタンダードセル(VLSIテクノロジー社)であり、電源電圧は5.0Vである。また、設計対象は(40,40)次の2次元FIRフィルタである。

比較対象としては、対称性とフィルタ係数の規則性を利用した帯域フィルタに特化した構成、8角形対称特性のみ利用する構成、および乗算器を用いた直接型構成を用いる。

はじめに、Table 1より、8角形対称特性のみを利用する本提案法に基づく構成と、関数の生成にROMを用いる従来形の分散演算に基づく構成との比較を行う。従来形の分散演算に基づく構成は、関数生成部において比較的消費電力の大きなROMを多用するため、59.5Wという非常に大きな消費電力を必要とする。それに対し、8角形対称特性を利用した本プロセッサでは、最適関数回路とSFAを効果的に用いることにより関数生成部の回路規模を大きく減少し、大幅な低消費電力化を実現した。さらに、上述のSFAの効果により関数加算部の加算段数を2段減少させ、さらに加算器数を約

1/8に減少させた。これによりROMを用いた従来の構成と比較して、約74.2%という大幅な消費電力の削減を実現した。

次に、乗算器を用いた直接型構成に基づくプロセッサとの比較を行う。直接型構成に対し、Table 1より、乗算器を用いたプロセッサに対して、本プロセッサは出力滞在時間を改善しながらも、消費電力について約95.4%もの大幅な減少率を実現できることがわかる。

次に、もう一つの提案型であるマクレラン変換により設計された帯域型フィルタの係数が持つ特長に着目し、これに特化した構成について比較を行う。関数生成部および関数加算部について更なる回路規模の減少を実現した本構成は、提案型である8点の対称性のみを利用した構成と比較して、さらに滞在時間を改善しながら、ハードウェア量、消費電力ともに50%以上の削減率を実現した。さらに、従来形の分散演算に基づく構成、直接型構成に対しては、滞在時間をそれぞれ約19.2%,17.2%低減しながらも、消費電力について、それぞれ対し約88.1%,97.9%という極めて大きな削減率を達成した。

さらに、次数の増加に対しても、処理時間が語長にのみ依存する分散演算を利用した本提案のプロセッサは、一定のサンプリングレートを維持した上で滞在時間をほぼ一定の小さな値に抑えることができる。以上のことから、本提案法が極めて高次の2次元FIRフィルタの実現において非常に有効な手法の一つであると言える。

## 7. まとめ

本稿では、低消費電力高性能の2次元FIRフィルタのVLSIアーキテクチャを提案した。処理時間が語長にのみ依存する分散演算を用いて、次数の増加に対してサンプリングレートを保持しながら、滞在時間をほぼ一定の小さな値に抑えた。従来の



分散演算においてROMを用いる部分で生じる非常に大きな消費電力の問題を、我々が提案してきた最適関数回路により解決した。しかし、この構成法を極めて高い次数のフィルタ実現に用いる場合、加算器数と加算段数が増加するために加算部における消費電力と滞在時間が増加してしまう。そこで、マクレラン変換に基づき設計された2次元零位相FIRフィルタの係数が持つ特長をSFA(Serial Full Adder)を用いることにより効果的に利用する構成法を提案した。また、関数加算部に用いる加算器として我々が提案してきた4入力2出力加算器を適用した。これらにより、滞在時間を考慮しながら最適関数回路によって得られた非常に小さい消費電力をさらに大きく減少させた。最後に、本プロセッサを(40,40)次という高い次数でVLSI評価した結果、本提案法が極めて高い次数のFIRフィルタ実現に有効な手法の一つであることを明らかにした。

## 参考文献

- 1) 西川清：多次元FIRフィルタの設計，コンピュータール，No.30，pp.26-37，コロナ社，1990。
- 2) 野崎 剛，佐々木 友寿，恒川 佳隆，田山 典男：分散演算を用いた高性能2次元FIRフィルタのVLSIアーキテクチャ，第208回計測自動制御東北支部研究集会
- 3) C. F. Chen: Implementing FIR Filters with Distributed Arithmetic, IEEE Trans., Acoust. Speech & Signal Process., ASSP-33-4, 1318/1321 (1985)
- 4) 恒川佳隆，野崎剛，三浦守：滞在時間を考慮した高次FIRフィルタの高速・低消費電力形VLSIアーキテクチャ，電気学会論文誌C, vol. 118-C, No. 7/8, 1098/1107 (1998)
- 5) J.H.McClellan: The Design of Two-Dimensional Digital Filters by Transformation for 2-D Digital Filters, Proc. 7th Annual Princeton Conf. Informations Sciences and Systems, pp. 247-251 (1973)
- 6) 西川清，森井春雄，金森丈郎：2次マクレラン変換によるFIRファンフィルタの設計法，電子情報通信学会論文誌A, Vol. 71-A, No.2 pp.275-281 (1988)
- 7) Emmanouil Z. Psarakis, George V. Moustalides : Design of Two-Dimensional Zero-Phase FIR Filters via the Generalized McClellan Transform
- 8) NTT データ通信:PARTHNON User's Manual (1990)