

集積回路内バイアス回路の安定化の検討

A study on stabilization of bias circuit in integrated circuits

○佐々木 健太, 宮前 亨, 井上 浩

○Kenta Sasaki, Tooru Miyamae, Hiroshi Inoue

秋田大学
Akita University

キーワード：バイアス回路(bias circuit), p チャネル型電界効果トランジスタ(p channel MOSFET), 安定化(stabilization), 電源電圧変動(source voltage fluctuation)

連絡先：〒010-8502 秋田市手形学園町 1-1 秋田大学 工学資源学部 電気電子工学科 井上研究室
佐々木健太, Tel: 018-889-2492, E-mail: ken@venus.ee.akita-u.ac.jp

1. はじめに

近年、携帯電話に代表されるような通信機器の普及に伴い、送受信機の小型化・高性能化が要求されており、その実現のために回路の集積化は必要不可欠といえる¹⁾。

通信分野ではPLL(Phase-Locked Loop:位同期ループ)が重要な技術となっている。PLLは周波数シンセサイザの精密な動作の核となるシステムであり、入力信号の周波数と位相に同期、つまり一致した信号を出力するものである。また、ほとんどの通信方式に不可欠な同期機能、信号の復調機能など多くの機能を持っている²⁾。

我々はこれまで、通信用ICとして新しい構成のアナログ形PLLの1チップ化を試みてきた³⁾。それは、CMOS プッシュプル回路(Push-Pull Phase Adding Mixer, PPAM 回路と呼ぶ)をミキサとして用いることで分周器やチャージポンプ回路、遅延線を用いずアナログ形PLLを構成するものである。これまでの研究では、PPAM回路にてプロセスを考慮した設計をすることで、

所望する回路特性が得られるように回路動作を安定化した⁴⁾。また、ダイレクトコンバージョン型の受信システムへのPPAM適用の可能性について検討された^{5,6)}。そして、これまでディスクリートで構成されていた電圧制御発振器(VCO)を単純な回路構成にし、1チップ化した⁷⁾。PLLを動作させるには各回路にバイアス電圧が必要であるが、これまでバイアス回路により正しいバイアス電圧を与えることができず問題とされてきた。

これまでのICはCMOSプロセスで試作されている。MOS回路においてバイアス条件は電源電圧の影響が無いよう作ることが重要である。それは近年1個のICにのせる回路が複雑化し、実装の面から見てIC全体の電力損失をできるだけ減らす必要性が増しているのに対し、電源電圧の変動に起因するバイアス電流の変動が、回路の許容限界を超えるような電力損失を発生させることがあるためである。また、高周波スプリアス信号が電源配線を経て信号

経路へ侵入するのを防ぐためにも、バイアス回路が電源電圧変動の影響を受けないことが重要になる⁸⁾。本研究では、電源電圧変動の影響を受けずに正しいバイアス電圧を与える回路の設計を目的とし、簡単なバイアス回路の IC 設計・試作及びその評価からこれまで正しいバイアス電圧が与えられなかった原因を追及し、新たにバイアス回路を設計、シミュレーションにより検討した。

2. 分割バイアス法

分割バイアス法を用いた最も簡単なバイアス回路を IC 設計・試作及び評価することから、これまで正しいバイアス電圧が与えられなかった原因について検討する。

2-1 動作原理

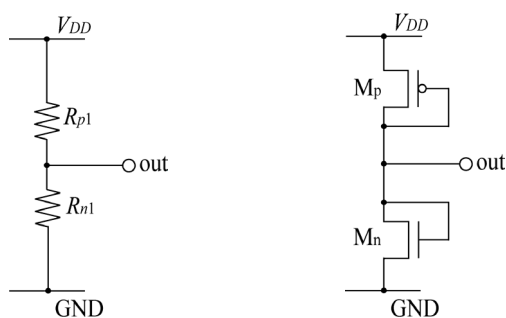
分割バイアス法の原理を図 1(a)に示す。これは電源電圧 V_{DD} を抵抗 R_{p1} と R_{n1} によって分割することで、MOS トランジスタにバイアスを与える。ここで、出力電圧 V_o は

$$V_o = \frac{R_{n1}}{R_{p1} + R_{n1}} V_{DD} \quad (1)$$

より求められる⁹⁾。

2-2 回路構成

IC 設計の際に、抵抗値が高くなるとそれに伴い、IC 内における面積が増大してしまうことから、ここでは R_{n1} , R_{p1} を nMOS, pMOS としてバイアス回路を構成した。MOS による構成のバイアス回路を図 1(b)に示す。この回路は電源電圧 V_{DD} が 5V の時に出力電圧 V_o が 2.5V となるよう設計した。



(a) 原理 (b) MOS による構成

図 1 分割バイアス法

2-3 バイアス回路の特性

図 1(b)の回路について電源電圧 V_{DD} が 4.5V ~ 5.5V の時の出力電圧 V_o を測定した。測定結果を図 2 に示す。

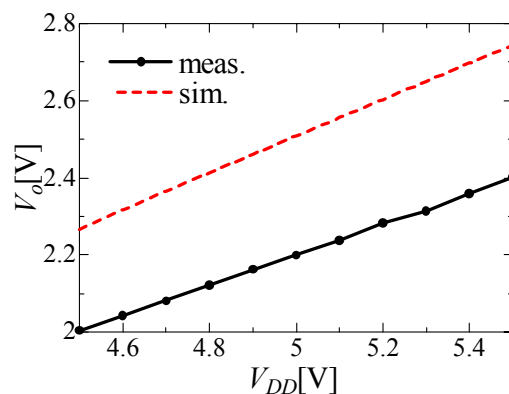


図 2 分割バイアス法の出力電圧

図 2 より、測定値がシミュレーション値より小さくなっていることがわかる。ここで、測定結果が妥当な結果であるか確かめるために、他の IC についても同様の測定を行った。その結果を表 1 に示す(測定した順に chip1, chip2, ..., chip5 とした)。また、表 1 にバラツキの程度を表す指数として標準偏差 σ も示した。

表 1 バイアス回路の出力電圧

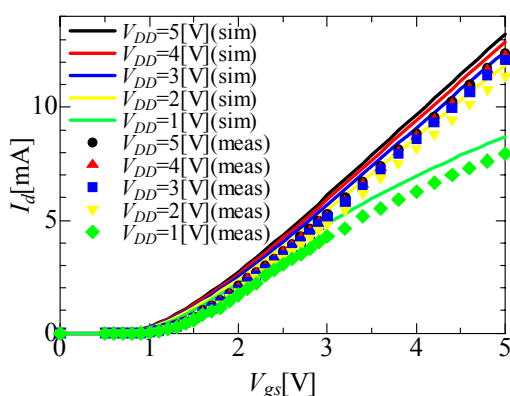
sim	2.5V
chip1	2.2V
chip2	2.2V
chip3	2.2V
chip4	2.2V
chip5	2.2V
σ	0.0046

表 1 より、 σ の値が小さいことから、chip1 ~ chip5 の間にバラツキはないと考えられ、図 2 に示した測定結果は妥当な結果といえる。そこで、分割バイアス回路で測定値とシミュレーション値が一致していない原因を調べるために、MOSFET について特性を測定した。

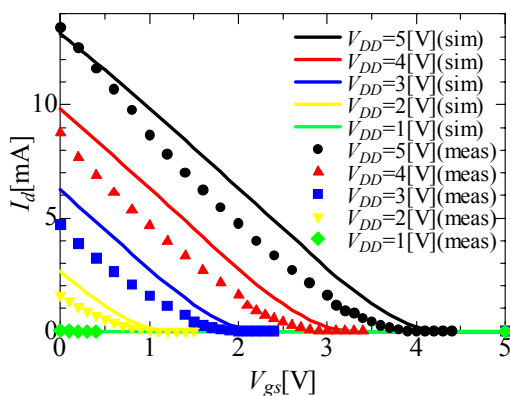
2-4MOSFET の特性

図 1(b)の回路を構成している nMOS, pMOS について電源電圧 V_{DD} を 1V, 2V, 3V, 4V, 5V とし、それぞれの静特性を測定した。また、2-3 と同様に chip1~chip5 について測定を行い、標準偏差 σ を算出した。その結果を表 2 に示す。表 2 より、 σ の値は小さく、nMOS, pMOS とともに chip1~chip5 の間にバラツキはないと考えられる。そこで、図 3 に chip1 の静特性を示す。

図 3(a)より、nMOS はゲート-ソース間電圧 V_{gs} に対するドレイン電流 I_d の値が若干低い、しきい値電圧 V_{th} がほぼ一致していることから設計通り動作していると考えられる。しかし、図 3(b)を見ると、pMOS はしきい値電圧 V_{th} が一致しておらず、非飽和領域における傾きが一致していない。これより、pMOS は設計通りの動作をしていないといえる。この原因としては、シミュレーションで考慮されている不純物密度の値が実際の値と異なっているのではないかと考えられる。



(a) nMOS 静特性



(b) pMOS 静特性

図 3 MOSFET 静特性

表 2 MOSFET の特性

(a) nMOS 静特性($V_{gs}=5[V]$)

	I_d [mA]				
	$V_{DD}=1[V]$	$V_{DD}=2[V]$	$V_{DD}=3[V]$	$V_{DD}=4[V]$	$V_{DD}=5[V]$
sim	8.69	11.86	12.45	12.87	13.21
chip1	7.94	11.38	12.1	12.27	12.39
chip2	7.88	11.26	12.01	12.24	12.40
chip3	7.95	11.33	12.06	12.28	12.38
chip4	7.91	11.30	12.05	12.26	12.44
chip5	7.86	11.21	11.89	12.09	12.22
σ	0.033728	0.060893	0.071944	0.070257	0.075789

(b) pMOS 静特性($V_{gs}=0[V]$)

	I_d [mA]				
	$V_{DD}=1[V]$	$V_{DD}=2[V]$	$V_{DD}=3[V]$	$V_{DD}=4[V]$	$V_{DD}=5[V]$
sim	1.09E-01	2.64	6.26	9.82	13.14
chip1	3.48E-02	1.58	4.69	8.77	13.40
chip2	3.29E-02	1.60	4.73	8.82	13.47
chip3	3.17E-02	1.62	4.78	8.85	13.48
chip4	3.76E-02	1.65	4.82	8.93	13.67
chip5	3.07E-02	1.65	4.7	8.8	13.45
σ	0.002447	0.02757	0.04923	0.05463	0.09222

3. 電源電圧変動に依存しないバイアス回路

2 より、分割バイアス回路では測定値とシミュレーション値で一致せず、その原因が pMOS のしきい値電圧の不一致であることが明らかになった。そこで、pMOS を用いずにバイアス回路を設計した。この時、電源電圧 V_{DD} が 5V の時に出力電圧 V_o が 2.5V となるようにし、10%の電源電圧変動に対し、出力電圧変動を 1%以内となるようにした。また、設計した回路について、シミュレーションによる検討を行った。

3-1 動作原理

設計したバイアス回路を図 4 に示す。この回路において、基準となる電流 I は M_{n1} を通る。また、MOSFET のゲートに電流は流れないことから、抵抗 $R3$ には M_{n1} と等しい電流が流れ、両端の電圧は M_{n1} のゲート-ソース間電圧 V_{gs1} に等しくなる。そこでこの回路は次の関係を満足するような動作点を持つことになる⁷⁾。

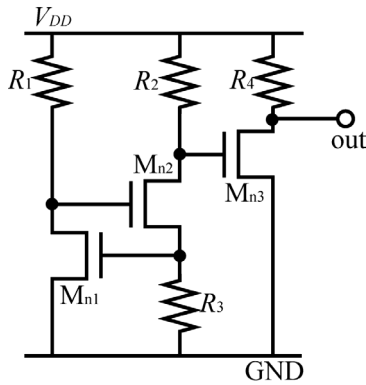


図4 電源電圧変動に依存しないバイアス回路

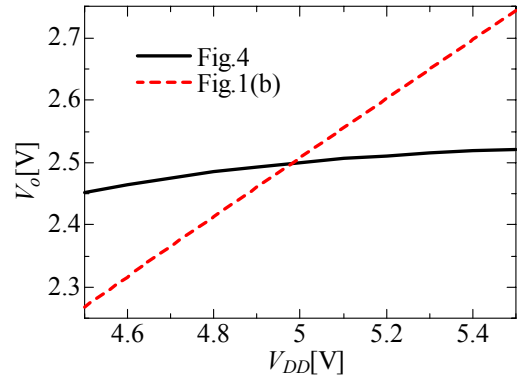


図5 バイアス回路のシミュレーション結果

$$IR_3 = V_{gs1} = V_{th1} + \sqrt{\frac{2I}{\mu_n C_{ox} \left(\frac{W}{L}\right)_1}} \quad (2)$$

V_{th1} : M_{n1} のしきい値電圧

μ_n : 電子移動度

C_{ox} : 単位面積当たりのゲート酸化膜容量

$\left(\frac{W}{L}\right)_1$: M_{n1} の W/L 比

ここでは、チャンネル長変調効果、基板バイアス効果は無視してある。特に重要なのは、 M_{n1} の $(V_{gs1} - V_{th1})$ を表す式(2)の第2項が、第1項に比べて小さい場合である。この状態はバイアス電流を充分少なく、また (W/L) 比を大きく選ぶことで実現できる。この時のバイアス電流は近似的に

$$I = \frac{V_{th1}}{R_3} \quad (3)$$

で与えられる。

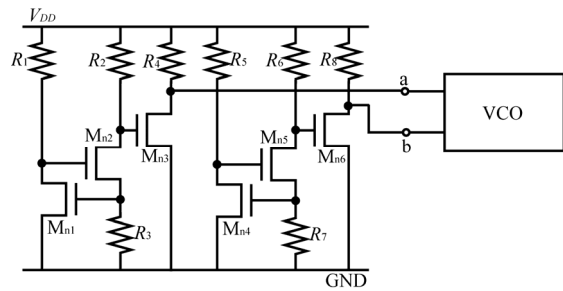
3-2 シミュレーション結果

図4の回路のシミュレーション結果を図5に示す。また、比較のために図1(b)の回路のシミュレーション結果も同時に示す。

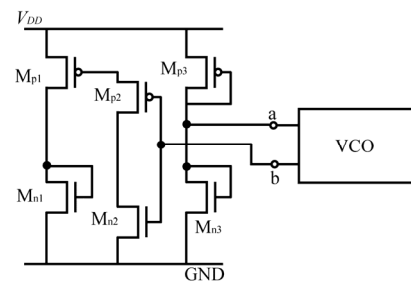
図5より、図4の回路では10%の電源電圧変動に対する出力電圧が0.8%となった。図1(b)では出力電圧変動が9.7%となっていることから、図4の回路は電源電圧変動の影響を受けにくいといえる。

3-3 応用例の検討

設計したバイアス回路の応用を検討するため、図6に示すように図4及び図1(b)のバイアス回路をVCOに接続し、シミュレーションを行った。ここで、バイアス回路は電源電圧 V_{DD} が5Vの時、端子aに約3.0V、端子bに約1.9Vのバイアス電圧を与えられるよう、MOSのチャンネル幅 W 、チャンネル長 L 、抵抗値 R の値を設定した。シミュレーションは電源電圧 V_{DD} を4.0~5.5Vまで0.05Vずつ変化させ、発振周波数の変化を求めた。その結果を図7に示す。



(a) 設計バイアス回路



(b) 分割バイアス回路

図6 応用例

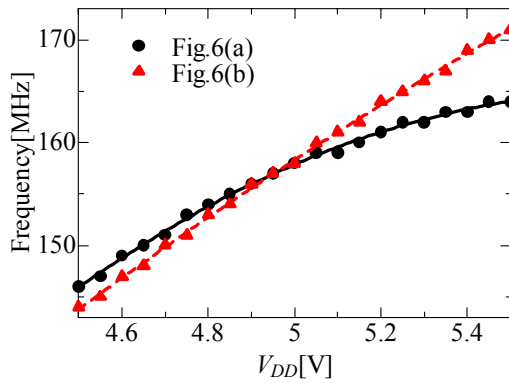


図7 電源電圧と発振周波数の関係

図7より、図6(b)では発振周波数が144～171MHzまで変化しており、グラフの傾きが約27[MHz/V]となっているのに対し、図6(a)では144～164MHzまでの変化で、グラフの傾きが約18[MHz/V]となっており、変化の割合が小さくなっていることがわかる。これより、図6(a)は図6(b)と比較して、電源電圧の変動を抑え、発振周波数を安定させているといえる。

以上より、設計バイアス回路を用いることでバイアス電圧が安定し、回路動作が安定化すると考えられる。これより、測定値とシミュレーション値が近づき、所望の特性が得られると考えられ、これによりアナログ形PLLのブロック改善が可能になると考えられる。

4. おわりに

本報告では、分割バイアス回路のIC設計・試作及び特性評価、MOSFETの特性測定から電源電圧変動に依存しないバイアス回路の設計及びシミュレーションによる検討を行った。その結果、10%の電源電圧変動に対して、分割バイアス回路で9.7%であった出力電圧変動が、設計したバイアス回路で0.8%となり、バイアス電圧を安定させることができた。そして、VCOへ適用し、シミュレーションを行ったところ設計バイアス回路は分割バイアス回路より発振周波数の変化が小さくなったことから、設計バイアス回路の有効性が確認できた。

今後は、今回設計したバイアス回路の試作・特性評価を行う必要がある。また、設計バイアス回路は抵抗を4個用いていることから、抵抗

を用いずにバイアス回路を設計することでIC内におけるバイアス回路の占める面積が縮小し、より集積化し易くなると考えられる。さらに抵抗を用いないことにより、ICの電力損失を減らすことができると考えられる。

謝辞

本研究の一部は科学技術振興機構(JST)の委託研究による補助を受けた。また、東京大学大規模集積システム設計教育研究センターを通し日本ケイデンス株式会社の協力のもとで行われたものであり、ここに深く感謝します。

参考文献

- 1) 谷本洋:ダイレクトコンバージョン受信機用ミキサの研究開発動向, 電子情報通信学会論文誌 C, Vol.J84-C, no.5, pp.337-348 (2001)
- 2) 萩原将文, 鈴木祐一: 実用 PLL 周波数シンセサイザ, 総合電子出版社 (1999)
- 3) 伊藤文人, 井上浩: CMOS LSI アナログ PLL の一設計, 電子情報通信学会 1999 年総合大会, A-1-5 (1999)
- 4) 川元雅紀, 伊藤文人, 井上浩: アナログ PLL LSI に用いる CMOS プッシュプル回路の最適化, 電子情報通信学会 2003 年総合大会, C-12-39 (2003)
- 5) 佐藤紀章, 伊藤文人, 井上浩: プッシュプル位相加算ミキサを使用した IC の一検討, 電子情報通信学会技術研究報告, EMD2003-97 (2005)
- 6) 佐藤紀章, 伊藤文人, 井上浩: PPAM を応用した通信用ミキサの開発, 電子情報通信学会論文誌, VOL.J88-C NO.7, pp.572-573 (2005)
- 7) 宮前亨, 井上浩: 新しいリング発振器型 VCO の設計とその応用, 電子情報通信学会 2005 年総合大会 (2005)
- 8) P.R.グレイ, R.Gメイヤー: 超 LSI のためのアナログ集積回路設計技術 下, 培風館 (2002)
- 9) 小柴典居: 初学者のための増幅回路設計法, オーム社 (1986)