

McClellan変換に基づく2次元FIRファンフィルタの 高性能VLSIアーキテクチャ

High-Performance VLSI Architecture for Two-Dimensional FIR Fan Filters Based on McClellan Transformation

○中條裕木*, 野崎剛*, 恒川佳隆*

○Hiroki Chujo*, Takeshi Nozaki*, Yoshitaka Tsunekawa*,

*岩手大学

*Iwate University

キーワード: ファンフィルタ (fan filter), McClellan変換 (McClellan transform),
分散演算 (distributed arithmetic), 2次元FIRフィルタ (two-dimensional FIR filter), VLSI評価 (VLSI evaluation)

連絡先: 〒020-8551 岡盛市上田4-3-5 岩手大学 工学部 電気電子工学科 恒川研究室
中條裕木, Tel.: (019)621-6468, Fax.: (019)621-6468, E-mail: t3305020@iwate-u.ac.jp

1. はじめに

ファンフィルタは、地震波やレーダ、ソナーなどの受信信号に対し、その到来波のある方向の成分のみを通過させる多次元フィルタである。その重要性ゆえに多くの伝達関数設計法が研究されており、またシステムに対する要求は高速、高精度化の度合いを増している^{1~7)}。

ファンフィルタの設計法はIIR形、FIR形とも、様々なものが提案されているが、FIRデジタルフィルタは安定性が常に保証されており、完全な直線位相特性が容易に実現できる特長がある。

FIRファンフィルタの設計法には、最終仕様を直接近似することによる最適化法^{1, 2)}、フーリエ級数法^{3, 4)}、マクレラン変換法⁵⁾が知られている。この中でマクレラン変換による方法は、原形となる1次元フィルタを設計するだけで、簡単な設計が

可能である。一般に、ファンフィルタの設計にマクレラン変換を用いた場合にはファン特性の遮断域が広くなるという問題点が存在するが、高次のサブフィルタを用いることにより急峻な遮断特性を得るための手法が提案されている^{6, 7)}。しかし、この手法を用いる場合には1次元原形フィルタに対して、設計されるファンフィルタが大きく高次化するため、実現という面において効果的な手法が要求される。マクレラン変換に基づき設計された2次元FIRフィルタには、乗算回数の比較的少ない効率的な実現構造が存在する⁸⁾。しかし、この構成は乗算器を用いる性質上、高次のフィルタに対しては大幅なゲート数の増加が避けられない。また各タップが縦続接続であるために出力滞在時間 (Latency) が非常に大きくなり、瞬時応答性が著しく悪化する問題を有する。

このような背景のもと、本稿では滞在時間を考

慮した高次向き2次元FIRファンフィルタの効率的な構成法の提案を目的とする。マクレラン変換に基づき設計された高次FIRファンフィルタに対し、分散演算のアルゴリズムを適用することにより、低消費電力とハードウェア量の増加を抑えながらも瞬時応答性に優れた構成法を提案する。分散演算は内積演算の処理時間が語長のみに依存するという特長を有し、次数の増加に対してサンプリングレートを保持しながらほぼ一定の小さな滞在時間に抑えることが可能である⁹⁾。しかし、分散演算に基づく従来型の構成はROMを用いる部分での消費電力が大きいため、この手法に基づく2次元FIRフィルタの実現には非常に大きな消費電力を必要とする。そこで、我々が提案してきた最適関数回路(Optimum Functional Circuit:OFC)をROMの代わりに用いる新たな構成法を示す¹⁰⁾。これにより、従来形の分散演算に基づく構成で問題であった消費電力を大幅に削減する。さらに、マクレラン変換法に基づき設計されるFIRファンフィルタのフィルタ係数が有する特徴に着目し、消費電力と滞在時間を効果的に減少する手法を新たに提案する。最後に、本プロセッサに対してVLSI評価を行い、本提案法が極めて高次のフィルタリングにおいて、サンプリングレートを一定とし、消費電力とハードウェア量を抑えながら、従来の手法に対して出力滞在時間を大幅に短縮可能であることを明らかにする。

2. 分散演算に基づく構成

高次FIRファンフィルタを実現するため、乗算器を用いることなく実現が可能であり、しかも処理時間が語長のみに依存する分散演算のアルゴリズムに着目する¹¹⁾。そこで、本章ではまず分散演算について述べ、次にFIRファンフィルタへ分散演算を適用し、その基本構成を示す。

2.1 分散演算に基づくFIRファンフィルタ

分散演算をFIRファンフィルタへ適用する。入力を $x(m, n)$ 、出力を $y(m, n)$ とした際のFIRファンフィルタの入出力関係を

$$\begin{aligned} y(m, n) &= \sum_{j=0}^N \sum_{i=0}^M h(i, j) x(m-i, n-j) \\ &= \sum_{j=0}^N f(j) \end{aligned} \quad (1)$$

とおく。ここで、 $h(i, j)$ はインパルス応答を表し、 M, N はファンフィルタの水平方向、垂直方向の次数である。 $x(m-i, n-j)$ は $-1 \leq x(m-i, n-j) < 1$ で、 B ビットの固定小数点形の2の補数表示であるものとするれば、

$$\begin{aligned} x(m-i, n-j) &= -x^0(m-i, n-j) \\ &\quad + \sum_{k=1}^{B-1} 2^{-k} x^k(m-i, n-j) \end{aligned} \quad (2)$$

と表される。ただし、 $x^k(m-i, n-j)$ は $x(m-i, n-j)$ の k ビット目の値であり、0もしくは1である。式(2)より、 $f(j)$ は式(3)のように表される。

$$\begin{aligned} f(j) &= -\Phi(x_{0,j}^0, \dots, x_{M,j}^0) \\ &\quad + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) \end{aligned} \quad (3)$$

ただし、 $x_{i,j}^k$ は $x(i, j)$ の k ビット目の値であり、0もしくは1である。関数 Φ は

$$\begin{aligned} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) &= \sum_{i=0}^M h(i, j) x^k(m-i, n-j) \end{aligned} \quad (4)$$

である。これにより式(1)は、次式のように表すことができる。

$$\begin{aligned} y(m, n) &= \sum_{j=0}^N \left\{ -\Phi(x_{0,j}^0, \dots, x_{M,j}^0) \right. \\ &\quad \left. + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) \right\} \end{aligned} \quad (5)$$

式(4)、式(5)により示された分散演算を適用した (M, N) 次のフィルタの構成を Fig. 1 に示す。な

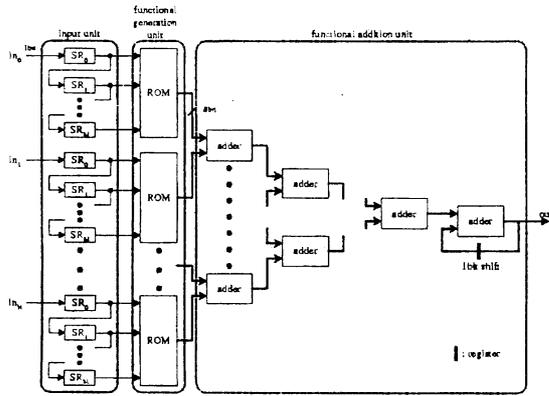


Fig. 1 Basic structure of FIR fan filter based on distributed arithmetic

お、ここでは Fig. 1 の構成をその機能から入力部、関数生成部、関数加算部に大別する。関数加算部の各ROMには、 $(M+1)$ 個のデータが、それぞれビットシリアルに入力される。ROMには入力の各ビットと係数の内積演算の結果、すなわち式(4)の関数 Φ がテーブルとして書きこまれている。計算時には、テーブルの参照により得られた値を関数加算部にて順次1ビットシフトしながら加算している。この加算処理は語長 B 回で終了するため、次数の増加に対してサンプリングレートを保持しながら、ほぼ一定の小さな滞在時間に抑えることができる。さらに、乗算器を用いることなく実現可能であるため、低消費電力性、小面積性に優れた構成となる。しかし、Fig. 1 に示した構成を実現するには、 2^{M+1} ワードのメモリ容量のROMが $N+1$ 個必要とされる。このため、高次FIRファンフィルタに対しては、関数生成部における消費電力が膨大となる。この消費電力の問題を解決するため、関数の分割化法がある。これは、大きなROM容量を幾つかの小さなROM容量の加算として実現する手法である。ここで、分割数を Q とす

ると、それを以下のように表すことができる。

$$\begin{aligned} \Phi(x_{0,j}^k, \dots, x_{M,j}^k) &= \sum_{i=0}^{M/Q} h(i, j) x^k(m-i, n-j) + \\ &\dots + \sum_{i=Q'}^M h(i, j) x^k(m-i, n-j) \\ &= \Phi(x_{0,j}^k, \dots, x_{M/Q,j}^k) + \\ &\dots + \Phi(x_{Q',j}^k, \dots, x_{M,j}^k) \end{aligned} \quad (6)$$

ただし、

$$Q' = \frac{(M+1)(Q-1)}{Q} \quad (7)$$

である。これにより、ROMの容量を大幅に低減することができる。しかし、この手法を用いても、高次では比較的消費電力の大きいROMを多用するために、関数生成部の消費電力が非常に大きくなり、フィルタ全体の消費電力が増大する。

2.2 最適関数回路

関数生成部における消費電力の問題を解決するため、関数 Φ の生成にROMではなく、我々が提案してきた最適関数回路を用いた構成に着目し、大幅な低消費電力化を可能とする構成を提案する。最適関数回路は、ROMと同様の機能をゲートにより実現する手法であり、処理性能を低減させずに大幅な低消費電力化が可能である¹¹⁾。ここで、ROMに格納されている関数テーブルを、次のように $2^l \times B$ の行列で表す。

$$W_{ROM} = \begin{bmatrix} t_0^{B-1} & \dots & t_0^0 \\ \vdots & \dots & \vdots \\ t_{2^l-1}^{B-1} & \dots & t_{2^l-1}^0 \end{bmatrix} \quad (8)$$

式(8)の各行ベクトル $[w_i^{B-1} \dots w_i^0]$ は、 i 番地に格納されている B ビットの出力データである。最適関数回路は、式(8)の行または列には同じベクトルが存在することに着目し、それらを共有化した関数 Φ をテーブルとして用いる。そこで、これらを共有化して、関数テーブルの大きさを低減する。

この冗長性の削除により生成される行列を,

$$W_{OPT} = \begin{bmatrix} t_0^j & \dots & t_0^0 \\ \vdots & \dots & \vdots \\ t_i^j & \dots & t_i^0 \end{bmatrix} \quad (9)$$

という $i \times j$ の行列で表す。ただし,

$$i \leq 2^l - 1 \quad j \leq B - 1 \quad (10)$$

である。最適関数回路は式(9)の行ベクトルに対応する部分機能回路と列ベクトルに対応する部分機能回路を縦続接続した構成をとる。さらに、各部分機能回路に対して二段論理単純化、多段論理最適化を施すことによりゲート数およびファンイン数を減少させている。これを高次FIRファンフィルタの関数生成部に適用することにより、消費電力を大幅に削減することができる。

しかし、極めて高次のフィルタを実現する場合、関数Φの分割数が非常に多いために、関数加算部において加算器数が増加し、フィルタ全体の消費電力に大きく影響を及ぼす。また、同時に加算段数が増加するために滞在時間も増加する。

本稿では、これらの問題を解決するための新たな二つの手法を提案する。はじめに、関数加算部における消費電力と滞在時間の問題に対し、我々が提案してきた4入力2出力加算器を適用することで、これを改善する。次に、マクレラン変換により設計された2次元零位相FIRフィルタの係数が有する特長に着目し、SFAを効果的に用いることにより関数生成部、および関数加算部における消費電力と滞在時間を大幅に削減する新たな構成法を提案する。

3. 4入力2出力加算器

本提案の4入力2出力加算器の構成を Fig. 2 に示す。本加算器は Fig. 3 に示す異なるタイプのFA(Full Adder)の縦続接続により構成される。ここで、Fig. 3 (a)のFAは、上位ビットへのキャリーを高速に出力する特長を有する。また、Fig. 3 (b)

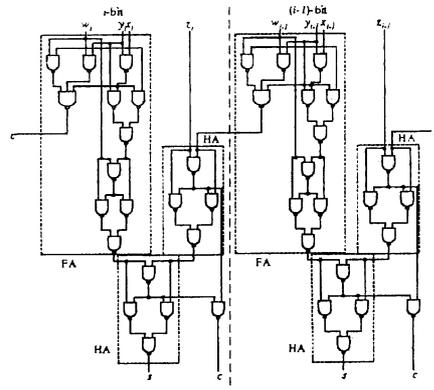


Fig. 2 Structure of 4-2adder

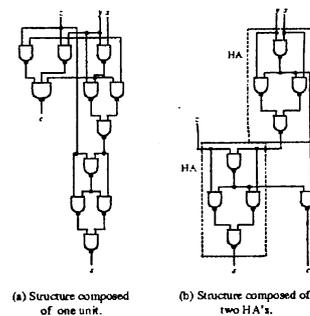


Fig. 3 Full Adder using in 4-2adder

のFAの入力変数 z に対する入力のタイミングには、HA(Half Adder)の処理時間分の余裕が存在する。従って、これらのFAを縦続に接続することにより双方のFAは処理を並列に行うことが可能となる。このため、加算に要する処理時間が減少し、関数加算部における滞在時間が低減する。さらに、本加算器は少ない論理ゲートで実現可能であるため、多くの加算器を使用する本プロセッサの低消費電力化のために、非常に有効な構成である。

4. マクレラン変換に基づく分散演算型VLSIアーキテクチャ

最適関数回路によって得られた非常に小さい消費電力をさらに減少するため、本稿では、マクレラン変換に基づき設計されたFIRファンフィルタの係数が有する特徴に着目する。プロセッサの消費電力と滞在時間の大幅な低減を可能にする2つ

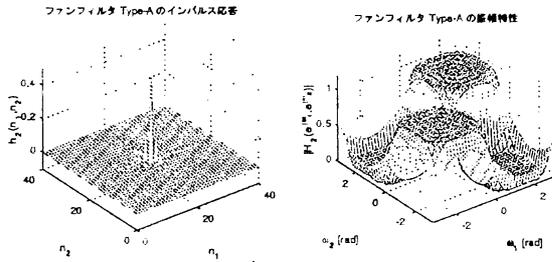


Fig. 4 Properties of fan filter Type-A

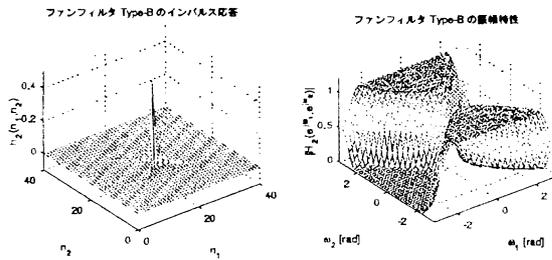


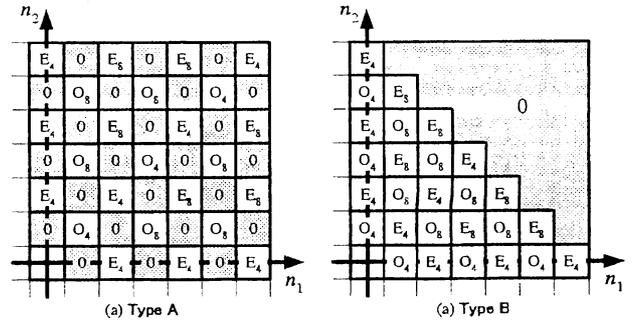
Fig. 5 Properties of fan filter Type-B

の特長を示し、それらを効果的に利用するための手法を提案する。

4.1 マクレラン変換

マクレラン変換は1次元零位相FIRフィルタに対し写像に基づいた変数変換を施すことにより、2次元零位相FIRフィルタを導く設計手法である⁵⁾。マクレラン変換は円対称特性への周波数変換法としても用いられており、本質的に (ω_1, ω_2) 平面上で4軸(直行軸および $\pm \frac{\pi}{4}$ の対角軸)対称な特性への写像を行うことが可能である。この4軸対称な特性を持つフィルタは実係数のインパルス応答に8点の対称特性を得られることが知られている¹²⁾。

Fig. 4, 5 に設計されるFIRファンフィルタ2種類の例(Type-A, Type-B)を示す。これらのファンフィルタのインパルス応答は、それぞれに Fig. 6 に示すような対称性を有する。この図に示すように、これら2つのタイプのファンフィルタは、いずれもインパルス応答に8点、あるいは4点の偶対称性、奇対称性を併せ持ち、約50%の割合で0値を含んでいる。本提案のアーキテクチャにおいてこの対称



E_i : i -points even symmetry

O_i : i -points odd symmetry

Fig. 6 Symmetry of impulse response

性に着目する場合、関数生成部において同機能となる最適関数回路を見出し、これを共有化することが可能となる。これにより、対称性を考慮しない構成に対して、関数生成部の回路規模が約1/8に減少する。また、0値である係数に対応する入力線を削除することでも、同様に最適関数回路の回路規模が減少する。これに伴い関数加算部の加算器数が大幅に削減されるため、小面積性、低消費電力性、瞬時応答性が大幅に向上する。

そこで、ファンフィルタのインパルス応答が持つ対称性を利用し、係数の共有化を効果的に行うための演算器を新たに提案する。

4.2 SFA(Serial Full Adder)-Unit /SFS(Serial Full Subtractor)-Unit

これまで我々はマクレラン変換を用いた分散演算に基づく2次元FIRフィルタのVISLアーキテクチャを提案してきた¹³⁾。係数の4点、および8点の偶対称性に着目し、これを共有化するため入力部に対して図7.8 に示すような、SFAによる2分木構成を適用している。ただし、 k は時刻を表している。

本報告では、このSFAを用いた2分木構成と同機能で、かつ

- レジスタの削減によるゲート数の減少。
- 出力(図7.9 の y^k)の遅延時間を保持しながら、かつレジスタの値を更新するまでの遅延時

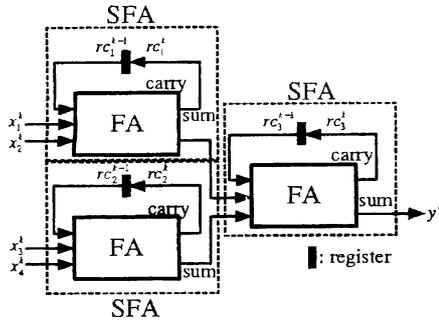


Fig. 7 Conventional 4-1 SFA-Unit

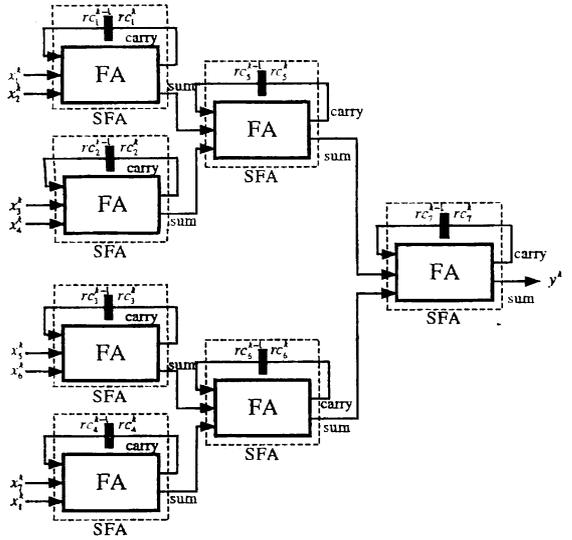


Fig. 8 Conventional 8-1 SFA-Unit

間を本提案のFIRファンフィルタのパイプラインのピッチ内(16Δ)に抑え、サンプリングレート・滞在時間の保持。

が可能な構成を提案する。なお、本提案法に用いる全加算器は Fig. 9 に示す構成とし、遅延時間は NANDゲートおよびNORゲートを1Δとして換算し算出する¹⁴⁾。

4.2.1 4入力1出力SFA-Unit

マクレラン変換に基づくFIRファンフィルタ係数の4点偶対称性に着目した構成として、これまで図7に示す4入力1出力加算器を適用してきた¹³⁾。いま、これを4-1SFAUと呼ぶ。図7の構成では3つのレジスタそれぞれ1ビットずつ状態が保持される。

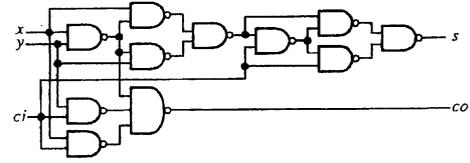


Fig. 9 Structure of FA

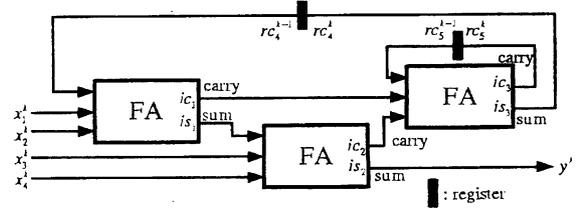


Fig. 10 Proposed 4-1 SFA-Unit

しかし、

$$rc_1^k + rc_2^k + rc_3^k \in \{00, 01, 10, 11\} \quad (11)$$

を考慮すれば、これらの情報の加算値の保持には2つのレジスタを用いれば十分であることがわかる。そこで、

$$rc_1^k + rc_2^k + rc_3^k = rc_4^k + 2^1 rc_5^k \quad (12)$$

が成り立つような2つの変数 $rc_4^k(rc_4^{k-1})$ と $rc_5^k(rc_5^{k-1})$ を用いて、レジスタ数を減少できる構成を導出する。

rc_4^k, rc_5^k をレジスタに保持する変数とすると、加算器の処理要素に過去のサイクルにおける保持状態である $rc_4^{k-1}, 2^1 rc_5^{k-1}$ が加えられる。従って、このときのSFA-Unitは次式のような加算を行う。

$$\begin{aligned} & x_1^k + x_2^k + x_3^k + x_4^k + rc_4^{k-1} + 2^1 rc_5^{k-1} \\ &= y^k + 2^1 rc_4^k + 2^2 rc_5^k \end{aligned} \quad (13)$$

式(13)より、

$$x_1^k + x_2^k + rc_4^{k-1} = is_1 + 2^1 ic_1 \quad (14)$$

$$is_1 + x_3^k + x_4^k = y^k + 2^1 ic_2 \quad (15)$$

$$2^1 ic_1 + 2^1 ic_2 + 2^1 rc_5^{k-1} = 2^1 rc_4^k + 2^2 rc_5^k \quad (16)$$

と置けば、 $is_1, ic_1, y^k, ic_2, rc_4^k, rc_5^k$ の論理式は次のよう

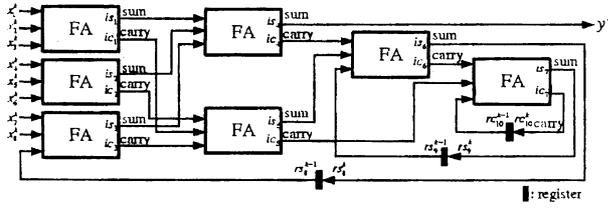


Fig. 11 Proposed 8-1 SFA-Unit

に表される.

$$is_1 = x_1^k \oplus x_2^k \oplus rc_4^{k-1} \quad (17)$$

$$ic_1 = x_1^k \cdot x_2^k \vee x_1^k \cdot rc_4^{k-1} \vee x_2^k \cdot rc_4^{k-1} \quad (18)$$

$$y^k = x_3^k \oplus x_4^k \oplus is_1 \quad (19)$$

$$ic_2 = is_1 \cdot x_3^k \vee is_1 \cdot x_4^k \vee x_3^k \cdot x_4^k \quad (20)$$

$$rc_4^k = ic_1 \oplus ic_2 \oplus rc_5^{k-1} \quad (21)$$

$$rc_5^k = ic_1 \cdot ic_2 \vee ic_1 \cdot rc_5^{k-1} \vee ic_2 \cdot rc_5^{k-1} \quad (22)$$

ここで、式(17)と(18)は入力 x_1^k , x_2^k , rc_4^{k-1} , 出力和 is_1 , 出力キャリー ic_1 の全加算器, 式(19)と(20)は入力 x_3^k , x_4^k , is_1 , 出力和 y^k , 出力キャリー ic_2 の全加算器, 式(21)と(22)は入力 rc_5^{k-1} , ic_1 , ic_2 , 出力和 rc_4^k , 出力キャリー rc_5^k の全加算器を表していることを考慮すると、式(17)から(22)の内部論理を有する4-1SFAUは図10のようになる。

4.2.2 8入力1出力SFA-Unit

マクレラン変換を用いた2次元FIRフィルタの8点対称に着目した構成として、これまで図8に示す8入力1出力加算器を適用してきた¹³⁾。ここでレジスタ数を減少するために、前節と同様に状態保持変数の減少を図る。ただし、4入力1出力加算器の場合とは異なり、その減少方法は数種類存在し、FIRファンフィルタのサンプリングレートと滞在時間に影響を及ぼす場合も存在することに注意する。本提案のFIRファンフィルタのクリティカルパスは、関数加算部の最終段の累積加算器による 18Δ である。ただし、SFAU内のレジスタは1サンプリング周期毎にリセットしなければならないこ

とを考慮すると、各レジスタ値を更新するまでの遅延時間は 16Δ 内に抑えなければならないことに留意する。

本提案のFIRファンフィルタのサンプリングレートと滞在時間を保持しながら8-1SFAUのレジスタ数を減少するために、図8の構成における7個の状態変数 $rc_1^k(rc_1^{k-1}) \sim rc_7^k(rc_7^{k-1})$ の加算に対して、

$$rc_1^k + rc_2^k + rc_3^k + rc_4^k + rc_5^k + rc_6^k + rc_7^k = rs_8^k + 2^1rs_9^k + 2^2rc_{10}^k \quad (23)$$

という関係が成り立つ3個の状態保持変数, rs_8^k , rs_9^k , rc_{10}^k を用いて、8-1SFAUのレジスタ数を削減できる構成を導出する。 rs_8^k , rs_9^k , rc_{10}^k をレジスタに保持する変数とすると、加算器の処理要素に過去のサイクルにおける保持状態である rs_8^{k-1} , rs_9^{k-1} , rc_{10}^{k-1} が加えられる。従って、このときのSFA-Unitは次式のような加算を行う。

$$x_1^k + x_2^k + x_3^k + x_4^k + x_5^k + x_6^k + x_7^k + x_8^k + rs_8^{k-1} + 2^1rs_9^{k-1} + 2^2rc_{10}^{k-1} = y^k + 2^1rs_8^k + 2^2rs_9^k + 2^3rc_{10}^k \quad (24)$$

上式より、

$$x_1^k + x_2^k + x_3^k = is_1 + 2^1ic_1 \quad (25)$$

$$x_4^k + x_5^k + x_6^k = is_2 + 2^1ic_2 \quad (26)$$

$$x_7^k + x_8^k + rs_1^{k-1} = is_3 + 2^1ic_3 \quad (27)$$

$$is_1 + is_2 + is_3 = y^k + 2^1ic_4 \quad (28)$$

$$2^1ic_1 + 2^1ic_2 + 2^1ic_3 = 2^1is_5 + 2^2ic_5 \quad (29)$$

$$2^1ic_4 + 2^1is_5 + 2^1rs_9^{k-1} = 2^1rs_1^k + 2^2ic_6 \quad (30)$$

$$2^2ic_5 + 2^2ic_6 + 2^2rc_{10}^{k-1} = 2^2rs_9^k + 2^3rc_{10}^k \quad (31)$$

と置けば、本提案の8-1SFAUの内部論理は以下のように表せる。

$$is_1 = x_1^k \oplus x_2^k \oplus x_3^k \quad (32)$$

$$is_2 = x_4^k \oplus x_5^k \oplus x_6^k \quad (33)$$

Table 1 Number of gates of 8-1 SFAU

	Proposed SFAU	Conventional SFAU
Gates	92	112

Table 2 Delay time of proposed 8-1 SFAU

	delay time
y^k	12 Δ
rs_8^k	14 Δ
rs_9^k	16 Δ
rc_{10}^k	12 Δ

$$is_3 = x_7^k \oplus x_8^k \oplus rs_1^{k-1} \quad (34)$$

$$y^k = is_1 \oplus is_2 \oplus is_3 \quad (35)$$

$$is_5 = ic_1 \oplus ic_2 \oplus ic_3 \quad (36)$$

$$rs_8^k = ic_4 \oplus is_5 \oplus rs_9^{k-1} \quad (37)$$

$$rs_9^k = ic_5 \oplus ic_6 \oplus rc_{10}^{k-1} \quad (38)$$

$$ic_1 = x_1^k \cdot x_2^k \vee x_2^k \cdot x_3^k \vee x_3^k \cdot x_1^k \quad (39)$$

$$ic_2 = x_4^k \cdot x_5^k \vee x_5^k \cdot x_6^k \vee x_6^k \cdot x_4^k \quad (40)$$

$$ic_3 = x_7^k \cdot x_8^k \vee x_8^k \cdot rs_8^{k-1} \vee rs_8^{k-1} \cdot x_7^k \quad (41)$$

$$ic_4 = is_1 \cdot is_2 \vee is_2 \cdot is_3 \vee is_3 \cdot is_1 \quad (42)$$

$$ic_5 = ic_1 \cdot ic_2 \vee ic_2 \cdot ic_3 \vee ic_3 \cdot ic_1 \quad (43)$$

$$ic_6 = ic_4 \cdot is_5 \vee is_5 \cdot rs_9^{k-1} \vee rs_9^{k-1} \cdot ic_4 \quad (44)$$

$$rc_{10}^k = ic_5 \cdot ic_6 \vee ic_6 \cdot rc_{10}^{k-1} \vee rc_{10}^{k-1} \cdot ic_5 \quad (45)$$

式(32)から(45)より, 図11のような8入力1出力加算器を構成できる.

表1にゲート数を定量的に評価した結果を示す. 従来形構成に対して1ビット長のレジスタを4個削減し, その結果ゲート数を約17.9%削減した. また, 本提案の8入力1出力SFA-Unitの遅延時間はTable 2のようになり, 従来形の8入力1出力SFA-Unitの出力の遅延時間を保持しながら, かつ本提案のFIRファンフィルタ係数サンプリングレートと滞在時間に影響を及ぼさないことを確認できる.

これと同様に, マクレラン変換に基づくFIRファンフィルタ係数の4点,8点の奇対称性に着目した構

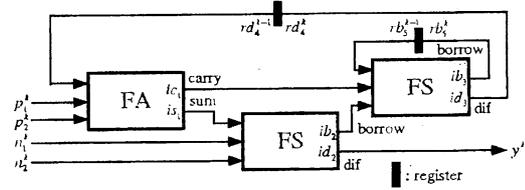


Fig. 12 Conventional 4-1 SFS-Unit

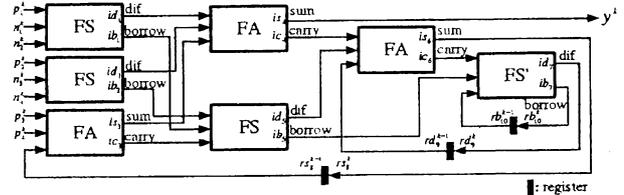


Fig. 13 Proposed 8-1 SFS-Unit

成として, 4入力1出力SFS-Unit, 8入力1出力SFS-Unitの構成は Fig. 12, Fig. 13 のように導出される.

5. VLSI評価

以上の提案法の有効性を明らかにするために, VLSI設計システムPARTHENONを用いて設計, 評価を行う¹⁵⁾. なお, 設計に用いたセルライブラリ of 設計ルールは, 0.6 μ m CMOSスタンダードセル (VLSIテクノロジー社)であり, 電源電圧は5.0Vである. また, 設計対象は(40,40)次のFIRファンフィルタである.

比較対象としては, 本提案のSFAU,SFSUを用いてフィルタ係数の規則性を利用した構成, 従来のROMを用いた関数生成を行う分散演算形構成, および乗算器を用いた構成を用いる.

はじめに, Table 3より, 本提案法に基づくSFAU, SFSUを利用する構成と, 関数の生成にROMを用いる従来形の分散演算に基づく構成との比較を行う. 従来の分散演算に基づく構成は, 関数生成部において比較的消費電力の大きなROMを多用するため, 59.5Wという非常に大きな消費電力を必要とする. それに対し, 8点の称特性を利用した本

Table 3 VLSI evaluation of FIR fan filter (41,41)tap

	Proposed DA using 8points symmetry	Conventional DA using ROM	Conventional method using Chebychev polynomial
Power dissipation[W]	14.7	59.5	12.2
Area [mm ²]	44.9	77.8	62.2
Number of gates	303126	504631	556442
Machine cycle [ns]	16	16	46
Sampling rate [MHz]	4.46	4.46	21.7
Latency [ns]	352	416	920

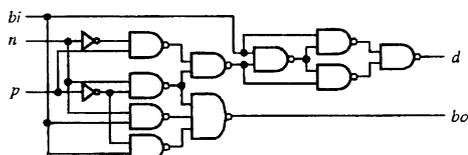


Fig. 14 Structure of FS

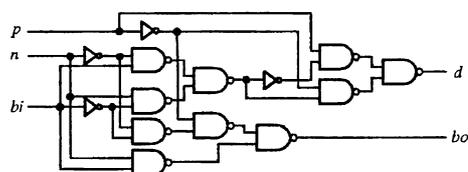


Fig. 15 Structure of FS'

ロセッサでは、最適関数回路およびSFAU, SFSUを効果的に用いることにより関数生成部の回路規模を大きく減少し、大幅な低消費電力化を実現した。さらに、上述のSFAUの効果により関数加算部の加算段数を2段減少させ、さらに加算器数を約1/8に減少させた。これによりROMを用いた従来の構成と比較して、約75.6%という大幅な消費電力の削減を実現した。

次に、乗算器を用いたマクレラン変換に固有の実現構成に基づくプロセッサとの比較を行う。消費電力については本提案法が17%程度高いが、回路面積については約27.8%小さく、ゲート数は約45.5%減少する結果となった。さらに、出力滞在時間については約61.7%良好である。このことから、各タップが縦続接続であるため極めて高次の場合には出力滞在時間の大きさが問題となる乗算器を用いた構成に対し、本提案法は次数の増加に伴う

滞在時間の増加を抑えた、ハードウェア効率の良い構成であるといえる。

6. むすび

本稿では、滞在時間を考慮した高次FIRファンフィルタの高速・低消費電力形VLSIアーキテクチャを提案した。内積演算に対して処理時間が語長のみに依存する分散演算を用いて、次数の増加に対してサンプリングレートを保持しながら、滞在時間をほぼ一定の小さな値に抑えた。また、従来の分散演算においてROMを用いる部分で生じる非常に大きな消費電力の問題を、冗長性の削除により解決する手法を示した。しかし、この構成法を用いても、極めて高い次数のフィルタ実現に用いる場合、加算器数と加算段数が増加するために加算部における消費電力と滞在時間が増加してしまう。そこで、マクレラン変換に基づき設計されたFIRファンフィルタの係数が持つ特長に対し、SFAU(Serial Full Adder Unit), SFSU(Serial Full Subtractor Unit)を用いることにより、これを効果的に利用する構成法を提案した。また、関数加算部に用いる加算器として我々が提案してきた4入力2出力加算器を適用した。これらにより、滞在時間を考慮しながら最適関数回路によって得られた非常に小さい消費電力をさらに大きく減少させた。最後に、本プロセッサを(40,40)次という高い次数でVLSI評価した結果、本提案法が極めて高次のFIRファンフィルタ実現に有効な手法の一つであることを明らかにした。

参考文献

- 1) 雛元孝夫, 棟安実治, 前川禎男: 非対称半平面上における2次元FIRデジタルフィルタの設計, 信学論(A), **J71-A**, 2, 275/281 (1988)
- 2) Y.Kamp and J.P.Thiran: Chebyshev approximation for two dimensional nonrecursive digital filters, IEEE Trans. Circuits & Syst., **CAS-22**, 208/218 (1975)
- 3) S.Treitel, J.L.Shanks and C.W.Frasier: Some aspects of fan filtering, Geophysics, **32.5**, 789/800 (1967)
- 4) K.L.Peacock: On the Practical Design of Discrete Velocity Filters for Seismic Data Processing, IEEE Trans. **ASSP-30**, 1, 52/60 (1982)
- 5) J.H.McClellan: The design of two-dimensional nonrecursive digital filters, Proc. of the 7th Annual Princeton Conference Information sciences and Systems (1973) 1
- 6) 西川 清, 森井春雄, 金森丈郎: "2次マクレラン変換によるFIRファンフィルタの設計法", 信学論(A), **J71-A**, 2, 275/281 (1988)
- 7) 田澤志郎, 本間仁志, 佐川雅彦: マクレラン変換に基づくFIRファンフィルタの一設計法, 信学論(A), **J73-A**, 3, 428/435 (1990)
- 8) J.H. McClellan and D.S.K. Chan: "A 2-D FIR Filter Structure Derived from the Chebyshev Recursion", IEEE Trans. on Circuits and Systems, Vol.**CAS-24**, No.7, 372/378 (1977)
- 9) C. F. Chen: Implementing FIR Filters with Distributed Arithmetic, IEEE Trans., Acoust. Speech & Signal Process., **ASSP-33-4**, 1318/1321 (1985)
- 10) 野崎 剛, 佐々木 友寿, 恒川 佳隆, 田山 典男: 分散演算を用いた高性能2次元FIRフィルタのVLSIアーキテクチャ, 第208回計測自動制御東北支部研究集会
- 11) 恒川佳隆, 野崎剛, 三浦守: 滞在時間を考慮した高次FIRフィルタの高速・低消費電力形VLSIアーキテクチャ, 電気学会論文誌C, vol. 118-C. No. 7/8, 1098/1107 (1998)
- 12) Emmanouil Z. Psarakis, George V. Moustalides: Design of Two-Dimensional Zero-Phase FIR Filters via the Generalized McClellan Transform, IEEE Trans. **CAS-38**, 1355/1363 (1991)
- 13) 中條 裕木, 佐々木 友寿, 野崎 剛, 恒川 佳隆: 「マクレラン変換を用いた2次元FIRデジタルフィルタの高性能VLSIアーキテクチャ」, 計測自動制御学会東北支部 第221回研究集会
- 14) Kai Hwang: Computer Arithmetic Principle Architecture and design, Wiley, New York (1979)
- 15) NTTデータ通信: PARHTENON User's MAnnual (1990)