

マクレラン変換を用いた分散演算形2次元 FIRフィルタの高性能VLSIアーキテクチャ

High-performance VLSI Architecture using Distributed Arithmetic for Two-Dimensional FIR Filters Based on McClellan Transformation

佐々木 正憲[†], 中條 裕木[†], 恒川 佳隆[†]

Masanori SASAKI[†], Hiroki CHUJO[†], Yoshitaka TSUNEKAWA[†]

[†]岩手大学

[†]Iwate University

キーワード： 2次元FIRフィルタ (two-dimensional FIR filter), 分散演算 (distributed arithmetic), McClellan変換 (McClellan transform), 低消費電力 (low power dissipation), ハードウェア効率 (hardware efficiency)

連絡先： 〒020-8551 盛岡市上田4-3-5 岩手大学工学部

佐々木正憲, Tel.:(019)621-6468, Fax.:(019)621-6468, E-mail: t3306013@iwate-u.ac.jp,

1. まえがき

多次元信号処理は、画像・動画処理、地震探査などの幅広い分野で用いられ、その重要性を急速に増している。同時にそのシステムに対する要求は、ますます高速、高機能化の度合いを増している。画像に代表される2次元信号のフィルタリングの一つとして、2次元FIRデジタルフィルタがある。FIRデジタルフィルタは安定性が保証されており、完全な直線位相特性を容易に実現できるため、信号処理に広く利用されている。しかし、急峻な遮断特性を実現するためには高い次数が要求されるため、フィルタリングに必要なハードウェア量や計算量が膨大になるという問題を有する。

2次元FIRフィルタの一般的な実現法の1つとして、乗算器を用いた直接形構成に基づく手法がある

1) . この構成は、各タップごとにパイプライン処理を施すことで、高いサンプリングレートを得ることができるという特徴を有する。しかし、 (M, N) 次の2次元FIRフィルタを実現するために $(M+1) \times (N+1)$ 個もの乗算器を用いるため、膨大なハードウェア量と消費電力を必要とする。また、パイプライン段数がタップ数に依存するため、高次のフィルタリングにおいてレイテンシが大きくなるという問題も生じる。

そこで、我々は分散演算に基づく高次向き2次元FIRフィルタのVLSIアーキテクチャを提案してきた²⁾。分散演算は内積演算の処理時間が語長のみに依存するという特長を有し、次数の増加に対してサンプリングレートを一定に保持しながらほぼ一定の小さな滞在時間に抑えることが可能である³⁾。しかし、分散演算に基づく従来形の構成は

ROMを用いる部分での消費電力が大きいため、この手法に基づく2次元FIRフィルタの実現には非常に大きな消費電力を必要とする。そこで、我々が提案してきた最適関数回路(Optimum Functional Circuit:OFC)をROMの代わりに用いる新たな構成法を示した²⁾。これにより、従来形の分散演算に基づく構成で問題であった消費電力を大幅に削減した。

さらに、2次元FIRフィルタの設計法の一つであるMcClellan変換法により設計された2次元FIRフィルタのフィルタ係数が持つ対称性を利用することで大幅に消費電力とレイテンシを減少する効率的な構成法を提案してきた。この構成では、帯域形やファンフィルタに特化することにより、さらに大幅な高性能化が可能である。しかし、入力信号をビットシリアルに入力するという性質上、処理速度が低下するという問題が存在する。

本報告では、従来の乗算器を用いる構成法の特長である高速なサンプリングレートと、分散演算形構成の特長である良好なハードウェア効率を同時に満たす構成法を提案する。この構成は乗算器を用いた場合の最小構成であるチェビシェフ多項式に基づく構成に対して分散演算を適用した構成である。さらに、この構成に対して係数の対称性を利用することで、更なる低消費電力化を実現する。最後に、本プロセッサに対してVLSI評価を行い、本提案法が高次のフィルタリングにおいて、低消費電力と高いサンプリングレートを実現する有効な手法であることを明らかにする。

2. 分散演算

高次向き2次元FIRフィルタを実現するため、乗算器を用いることなく実現が可能であり、しかも処理時間が語長のみ依存する分散演算のアルゴリズムに着目する⁴⁾。分散演算は定係数の内積演算をテーブル・ルックアップにより実現する計算手法で

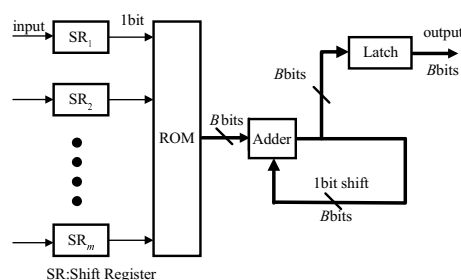


Fig. 1 Basic structure based on distributed arithmetic

ある。いま、項数 N の係数ベクトル $\mathbf{a} = (a_1, \dots, a_N)$ と変数ベクトル $\mathbf{v} = (v_1, \dots, v_N)$ との内積

$$y = \mathbf{a} \mathbf{v} = \sum_{i=1}^N a_i v_i \quad (1)$$

を考える。ただし、 v_i は $-1 \leq v_i < 1$ で B ビットの固定小数点系の2の補数表示である。これを

$$v_i = -v_i^0 + \sum_{k=1}^{B-1} 2^{-k} v_i^k \quad (2)$$

と表す。ここで、 v_i^k は v_i の k ビット目の値で0または1である。式(2)を式(1)に代入すると、内積演算 $\mathbf{a} \mathbf{v}$ は次式で示される。

$$y = -\Phi(v_1^0, \dots, v_N^0) + \sum_{K=1}^{B-1} 2^{-K} \Phi(v_1^K, \dots, v_N^K) \quad (3)$$

ただし、関数 Φ は

$$\Phi(v_1^K, \dots, v_N^K) = \sum_{i=1}^N a_i v_i^K \quad (4)$$

である。式(3)、(4)に示される処理を行う分散演算の基本構成を図1に示す。ここで、図1の構成を機能から入力部、関数生成部、関数加算部に大別する。この構成では、 N 個のシフトレジスタから (v_1^K, \dots, v_N^K) を出力し、これを関数生成部のROMにアドレスとして入力する。ROMには、式(4)で与えられる入力データを各ビットと係数との内積演算の結果、すなわち関数 Φ がテーブルとして書き込まれている。計算時にはそのテーブルの参照により得られた値を関数加算部に順次1ビットシフトしながら、語長 B 回文の累積加算処理を行う。

これは、項数 N が増加しても処理時間を一定の小さな値とすることができ、さらに乗算器を用いずに構成可能であるため、ハードウェア量を非常に小さくすることができる。

3. マクレラン変換に基づく分散演算形VLSIアーキテクチャ

3.1 マクレラン変換

マクレラン変換は1次元零位相FIRフィルタに対する写像に基づいた変数変換を施すことにより、2次元零位相FIRフィルタを導く設計手法であり、円形対称特性への周波数変換法として知られている⁵⁾⁶⁾⁷⁾。

1次元零位相FIRフィルタの伝達関数 $H_1(e^{j\omega})$ 、インパルス応答 $h(n)$ の関係は、 $h(n)$ を偶対称応答、 N を奇数と規定するとき、次式のように表すことができる。

$$H_1(e^{j\omega}) = h(0) + \sum_{n=1}^N 2h(n)\cos(n\omega) \quad (5)$$

ここで、式(5)の関係式において、 $\cos(n\omega)$ は $\cos\omega$ の n 次のチェビシェフ多項式 T_n として表すことができるため、次式のように表される。

$$\cos(n\omega) = T_n(\cos\omega) \quad (6)$$

$$\begin{cases} T_0(\cos\omega) = 1 \\ T_1(\cos\omega) = \cos\omega \\ T_n(\cos\omega) = 2\cos\omega T_{n-1}(\cos\omega) \\ \quad - T_{n-2}(\cos\omega), \quad n \geq 2 \end{cases} \quad (7)$$

さらに、2次元への周波数変換式として式(8)を導入する。

$$\begin{aligned} \cos\omega &= F(e^{j\omega_1}, e^{j\omega_2}) \\ &= A + B\cos\omega_1 + C\cos\omega_2 \\ &\quad + D\cos(\omega_1 - \omega_2) + E\cos(\omega_1 + \omega_2) \end{aligned} \quad (8)$$

ここで、式(8)の A, B, C, D, E は2次元周波数特性を制御するパラメータである。McClellanは円対称に近い軌跡を生ずるパラメータを与えており、このような変換をマクレラン変換と呼ぶ。

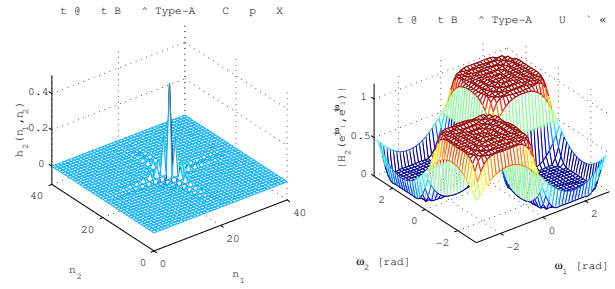


Fig. 2 Magnitude characteristic of fan filter Type-A

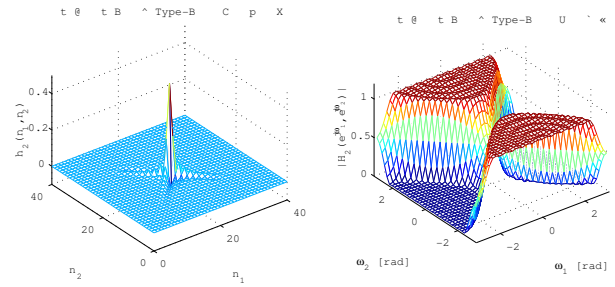
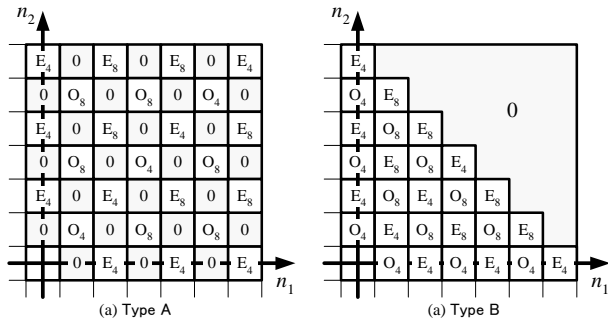


Fig. 3 Magnitude characteristic of fan filter Type-B

3.2 マクレラン変換による係数の対称性

マクレラン変換は円対称特性への周波数変換法としても用いられており、本質的に (ω_1, ω_2) 平面上で4軸(直行軸および $\pm\pi/4$ の対角軸)対称な特性への写像を行うことが可能である。この4軸対称な特性を持つフィルタは、実係数のインパルス応答に8点の対称特性を得られることが知られている⁷⁾。図2,3に設計されるFIRファンフィルタ2種類の例(Type-A, Type-B)を示す。これらのインパルス応答は、それぞれに図4に示すような対称性を有する。この図に示すように、これらの2つのタイプのファンフィルタは、いずれもインパルス応答に8点、あるいは4点の偶対称性、奇対称性を併せ持ち、約50%の割合で'0'値を含んでいる。この対称性に着目する場合、関数生成部において同機能となる最適関数回路を見出し、これを共有化することが可能となる。ここで、最適関数回路とは、我々が提案してきた構成であり、ROMと同様の機能を



E_i : i -points even symmetry
 O_i : i -points odd symmetry

Fig. 4 Symmetry property of impulse response

ゲートにより実現する手法で、処理性能を低減させずに大幅な低消費電力化が可能となる構成である⁴⁾。これにより、対称性を考慮しない構成に対して、関数生成部の回路規模が約1/8に減少する。また、'0'値である係数に対応する入力線を削除することでも、同様に最適関数回路の回路規模が減少する。これに伴い関数加算部の加算器数が大幅に削減されるため、小面積化、低消費電力化、瞬時応答性が大幅に向上する⁸⁾。また、我々は8点および4点の対称特性を効果的に利用するため、最小のレジスタ数で係数の共有化を行うことが可能なSFAU(Serial Full Adder Unit)、SFSU(Serial Full Subtractor Unit)を提案している⁹⁾。

この構成は、極めて高次のフィルタリングにおいてもサンプリングレートをほぼ一定としながら、消費電力とゲート数の面において高いハードウェア効率を実現することが可能である。その一方で、データをビットシリアルで入力するためにサンプリングレートは乗算器を用いた構成と比較した場合、低下してしまう。また、入力信号をタップ数分保持するためにレジスタ数が増加するという問題がある。そこで、マクレラン変換に固有の乗算器を用いた効率的な構成に着目して、サンプリングレートの向上、レジスタ数の削減を実現することが可能となる新たな構成法を提案する。

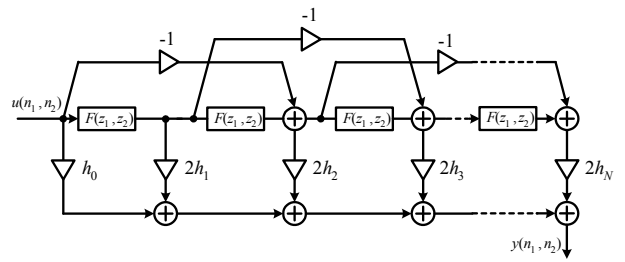


Fig. 5 Conventional structure of 2D FIR filter Chebychev polynomial

4. 新たな分散演算形2次元FIRフィルタのVLSIアーキテクチャ

本提案の分散演算形2次元FIRフィルタの構成は、マクレラン変換により設計された2次元FIRフィルタの周波数特性が、チェビシェフ多項式を用いて表されることに着目したものである。マクレラン変換の式では式(5)に式(6)、(8)を代入することにより、式(9)に示される2次元零位相FIRフィルタの伝達関数 $H_2(e^{j\omega_1}, e^{j\omega_2})$ を得ることができる。

$$H_2(e^{j\omega_1}, e^{j\omega_2}) = h(0) + \sum_{n=1}^N 2h(n)T_n(\cos\omega) \Big|_{\cos\omega = F(\omega_1, \omega_2)} \quad (9)$$

この式(9)に基づく2次元FIRフィルタの効率的な構成として、図5に示す構成が知られている。このFIRフィルタの実現構造において、1出力を得るための乗算回数は $6N+1$ 回であり、これは一般的に用いられるFIRフィルタの乗算回数である $(2N+1)^2$ 回に比べ十分小さな値となる。しかし、この構成を用いても高次のフィルタリングにおいては乗算器を多数用いなければならず、ゲート数が大幅に増大してしまう。また、各タップが継続に接続されているため、レイテンシの増加も問題となる。

ここで、チェビシェフ多項式を用いた乗算器構成の問題点であるゲート数、レイテンシの増大を改善するために、この構成法に対して分散演算を適用する。この時、 $F(z_1, z_2)$ は式(8)で表され、(3, 3)タップの2次元FIRフィルタとして考えるこ

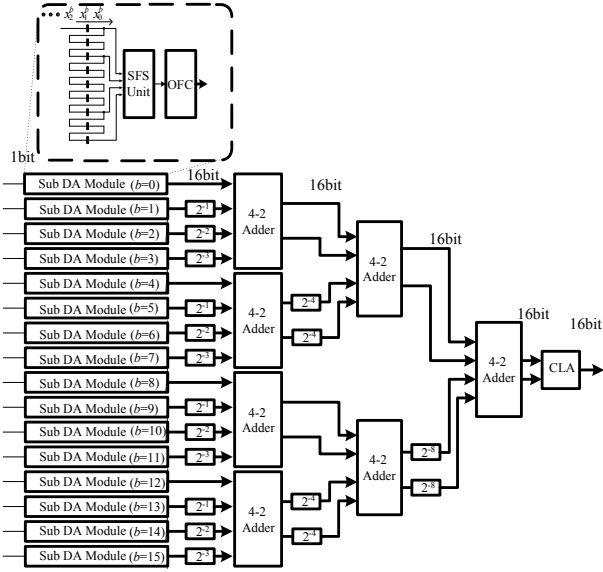


Fig. 6 Proposed structure of $F(z_1, z_2)$

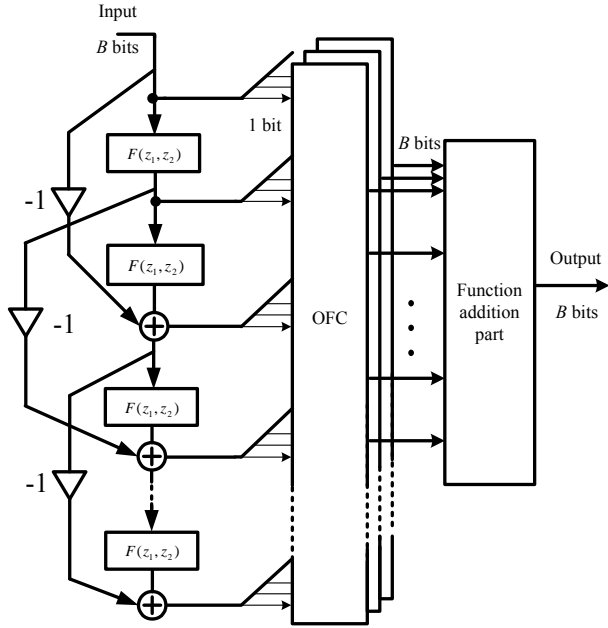


Fig. 7 Proposed structure of 2D FIR filter using Chebychev polynomial

ことができ、そのフィルタ係数は常に同じ数値を用いる構成となる。その際、入力を $x(m, n)$ 、出力を $F(m, n)$ とした際の2次元FIRフィルタの入出力関係を

$$F(m, n) = \sum_{j=-1}^1 \sum_{i=-1}^1 f(i, j)x(m-i, n-j)$$

$$= \sum_{j=-1}^1 t(j) \quad (10)$$

とおく、ここで $f(i, j)$ はフィルタ係数を表す。 $x(m-i, n-j)$ は $-1 \leq x(m-i, n-j) < 1$ で、 B ビットの固定小数点系の2の補数表示であるものとするれば、

$$x(m-i, n-j) = -x^0(m-i, n-j) + \sum_{k=1}^{B-1} 2^{-k} x^k(m-i, n-j) \quad (11)$$

と表される。ただし、 $x^k(m-i, n-j)$ は $x(m-i, n-j)$ の k ビット目の値であり、0もしくは1である。式 (11) より、 $t(j)$ は以下のように表される。

$$t(j) = -\Phi(x_{-1,j}^0, x_{0,j}^0, x_{1,j}^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{-1,j}^k, x_{0,j}^k, x_{1,j}^k) \quad (12)$$

ただし、 $x_{i,j}^k$ は $x(i, j)$ の k ビット目の値であり、0もしくは1である。また、関数 Φ は

$$\Phi(x_{-1,j}^k, x_{0,j}^k, x_{1,j}^k) = \sum_{i=-1}^1 f(i, j)x^k(m-i, n-j) \quad (13)$$

である。これにより式 (10) は、次式のように表すことができる。

$$F(m, n) = \sum_{j=-1}^1 \{-\Phi(x_{-1,j}^0, x_{0,j}^0, x_{1,j}^0) + \sum_{k=1}^{B-1} 2^{-k} \Phi(x_{-1,j}^k, x_{0,j}^k, x_{1,j}^k)\} \quad (14)$$

2次元の分散演算を適用した構成を、図6に示す。この時、最適関数回路には内積演算の結果である式 (13) が格納される。この時、ファンフィルタに特化した構成とすることで $F(z_1, z_2)$ の係数に対して4点の奇対称性を得ることができるので、最適関数回路の入力線数を削減することができる。そのため、低消費電力化を実現することができる。さらに、図6の4-2Adderは我々が提案してきた4入力2出力加算器であり、この加算器は少ない論理ゲートで実現されているため、低消費電力化を図

Table 1 VLSI evaluation of 2-D FIR filter (41,41)tap

	Proposed DA using Chebychev polynomial	Proposed DA using symmetry fan filter	Conventional method using chebychev polynomial	Method using multipliers for direct form
Power dissipation [W]	3.47	14.7	9.25	110.5
Area [mm ²]	9.10	44.9	62.2	110.5
Number of gates	77893	303126	556442	7205388
Machine cycle [ns]	16	16	46	58
Sampling rate [MHz]	62.5	4.46	21.7	17.2
Latency [ns]	448	352	920	406

ることができる⁸⁾。また、一般に分散演算はビットシリアル入力をもとに処理が行われ、出力を得るためには語長回分の累積加算が必要となる。そのため、サンプリングレートは低下してしまう。そこで、本提案の構成では、入力信号の全ビットの入力を同時に行い、各々のビットに対して並列に分散演算の処理を行う構成をとることにより、高速なサンプリングレートを実現することができる。さらに、入力部において必要となるレジスタ数を従来の構成では $(2N+1)^2 \times B$ ビット必要としていたものが $9N \times B$ ビットまで削減することが可能となる。その結果、大幅な低消費電力化、低面積化を実現することができる。

本提案の全体構成は図7に示される。この構成は各タップが縦続に接続されているが、乗算器を用いずに構成されているため乗算器構成と比較した場合、レイテンシの増加率は小さくなる。そのため、タップ数が増加した場合でもレイテンシの増加を抑えることができる。さらに、分散演算構成を並列に処理を行い、累積加算を行わない構成とすることで、従来の分散演算構成と比較してレイテンシを減少させることができる。

5. VLSI評価

今回提案した構成と従来のチェビシェフ多項式を用いた乗算器構成との性能を比較するため、VLSI

設計システムPARTHENONを用いて評価を行う。結果を表1に示す。なお、設計に用いたセルライブラリの設計ルールは、 $0.6 \mu\text{m}$ CMOSスタンダードセル(VLSIテクノロジー社)であり、電源電圧は5.0Vである。また、設計対象は(41, 41)タップの2次元FIRフィルタである。比較対象としては、本提案のチェビシェフ多項式を用いた分散演算に基づく構成、これまで提案してきたファンフィルタに特化した分散演算形構成、従来用いられている乗算器を用いたチェビシェフ多項式を利用する構成、乗算器を用いた直接形構成を用いる。従来用いられている乗算器を用いたチェビシェフ多項式を利用する構成と比較すると、構成上の問題点であったレイテンシを51%改善している。また、約2.9倍のサンプリングレートを実現しながら、62%の消費電力を削減していることが分かる。これまで提案してきたファンフィルタの係数の特徴を利用する構成と比較すると、消費電力を約76%削減しながら、約14倍のサンプリングレートを実現していることが分かる。なお、本提案法の評価には象限形のファンフィルタを用いたが、他の仕様で実現する場合においてもサブフィルタの係数を変更するのみであるため、これに近い評価結果が得られる。

6. まとめ

本稿では、マクレラン変換に基づく2次元FIRフィルタの効率的な構成法についての提案を行った。本構成は一般的に用いられるチェビシェフ多項式を利用した効率的な乗算器構成に対して分散演算をビットパラレルに適用することにより、サンプリングレートの向上、短いレイテンシを実現した。また、マクレラン変換の際の2次元への周波数変換式に対して分散演算を適用することで、入力信号を保持するために必要なレジスタ数を削減した。それによって低消費電力化、小面積化を実現した。さらに、2次元への周波数変換式が有する係数の対称性に着目することで更なる低消費電力化を実現した。最後に提案する並列形分散演算構成に対してVLSI評価を行った。その結果、低消費電力化、小面積化、高いサンプリングレートを有することを明らかにした。最後に、本構成を(41,41)次という高い次数でVLSI評価した結果、本提案法が消費電力、面積、サンプリングレートの面で見た場合非常に有効な手法の一つであることを明らかにした。

参考文献

- 1) 西川清:多次元FIRフィルタの設計, コンピュータロール, No.30, 26/37, コロナ社 (1990)
- 2) 野崎剛, 佐々木友寿, 恒川佳隆, 田山典男: 分散演算を用いた高性能2次元FIRフィルタのVLSIアーキテクチャ, 第208回計測自動制御東北支部研究集会
- 3) C. F. Chen: Implementing FIR Filtes with Distributed Arithmetic, IEEE Trans., Acoust. Speech & Signal Process., **ASSP-33-4**, 1318/1312 (1985)
- 4) 恒川佳隆, 野崎剛, 三浦守: 滞在時間を考慮した高次FIRフィルタの高速・低消費電力形VLSIアーキテクチャ, 電気学会論文誌C, vol.118-C, No.7/8, 1098/1107 (1998)
- 5) J.H.McClellan: The Design of TwoDimensional Disital Filters by Transformation for 2-D Digital Filters, Proc. 7th Annual Princeton Conf. Informations Sciences and Systems, 247/251 (1973)
- 6) 西川清, 森井春雄, 金森丈朗: 2次マクレラン変換によるFIRファンフィルタの設計法, 電子情報通信学会論文誌A, Vol.71-A, No.2, 275/281 (1988)
- 7) Emmanouil Z. Psarakis, George V. Moustalides: Design of Two-Dimensional Zoro-Phase FIR Filter via the Generalized McClellan Transform, IEEE Trans. **CAS-38**, 1355/1363 (1991)
- 8) 中條裕木, 佐々木友寿, 野崎剛, 恒川佳隆: 「マクレラン変換を用いた2次元FIRデジタルフィルタの高性能VLSIアーキテクチャ」, 計測自動制御学会東北支部第221回研究集会
- 9) 中條裕木, 野崎剛, 恒川佳隆: 「McClellan変換に基づく2次元FIRファンフィルタの高性能VLSIアーキテクチャ」, 計測自動制御学会東北支部第288回研究集会