

クラスタコンピューティング用組込みCPUボードの開発

Development of an Embedded CPU Board for Cluster Computing

佐々木慶文, ○阿部義諒

Yoshifumi Sasaki, Yoshiaki Abe

石巻専修大学

Ishinomaki Senshu University

キーワード: 組込み機器, ユビキタスアプリケーション, 分散・協調処理, プロトタイピング環境, CPUボード開発

連絡先: 〒986-8580 宮城県石巻市南境新水戸1 石巻専修大学 理工学部 情報電子工学科

佐々木慶文, Tel.: (0225)22-7716, Fax.: (0225)22-7746, E-mail: yoshifumi-sasaki@isenshu-u.ac.jp

1. はじめに

近年, 組込み技術の飛躍的な進歩に伴い, 自動車, 家電製品など身近にあるエレクトロニクス製品には高性能組込みCPU, 大容量メモリ, ネットワーク/周辺機器インタフェースなどが搭載され, Linux OSなどの先進的なOSが動作するようになってきている. また, 論理的に汎用PCと同等の機能を有し, アクセスするための仕組みさえあればネットワークコンピュータとして動作するものも少なくない. 今後は, このような組込み機器がますます普及するとともに, あらゆる機器がネットワーク結合されたユビキタス社会が到来することが予想されている¹⁾.

そのようなユビキタス環境においては, 身近にある組込み機器によるネットワーク分散型並列処理がキーテクノロジーになると考えられる. これに対して, 本研究では, そのようなキーテクノロジーに基づくユビキタスアプリケーションのプロトタイピングプラットフォームとして, ユビキタス・コン

ピューティング・クラスタ(Ubiquitous Computing Cluster: UCC)と呼ぶクラスタ計算機を開発してきた²⁾.

UCCは, 計算ノードとして市販の組込み機器や同等のCPU評価ボードを搭載し, これらが100Mbpsの高速イーサネットと相互接続されたクラスタ計算機である. これまでにSH4-UCC, ARM9-UCCおよびM32R-UCCと呼ぶ3種類のUCCを開発し, クラスタ計算機としての基本性能評価や指紋認証アプリケーションのプロトタイピングなどを行ない, その有用性を明らかにしてきた.

その一方で, UCCに搭載される計算ノードに関するいくつかの問題が明らかとなっている. 例えば, SH4-UCCおよびARM9-UCCでは最大70Mbps程度の計算ノード間通信が可能であるのに対し, M32R-UCCでは20Mbps弱程度に留まっているという問題が生じている. しかしながら, この問題を改善するための代替となりうるCPU評価ボードが存在せず, 改善が困難な状況にある.

このような計算ノードに関する問題を根本的に解決する一つの手段として、研究室レベルで独自に組込みCPUボードの設計および開発を行なうことが有効であると考え、本研究では具体的な試みとして“Sephirah”と呼ぶ組込みCPUボードの開発を行なった。本稿では、従来型UCCの構成およびその問題点について示すとともに、組込みCPUボードの開発事例について述べる。

2. UCCの構成とその問題点

ユビキタス・コンピューティング・クラスタ(Ubi-quitous computing cluster:UCC)は、身近にある組込み機器の余剰資源を利用したネットワーク分散型並列処理環境を擬似的に実現するためのクラスタ計算機である²⁾。Fig. 1にUCCのアーキテクチャを示す。

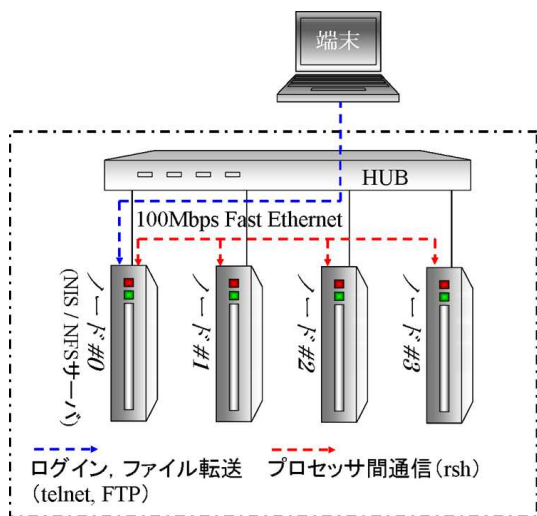


Fig. 1 Architecture of UCC.

UCCには4台の同一機種の組込み機器が計算ノードとして搭載される。これらの計算ノード#0から#3はスイッチングハブを介して100Mbpsの高速イーサネットでも相互接続されている。ユーザはリモート端末よりUCCにアクセスし、ユビキタスアプリケーションの開発やプロトタイピングを行なうことができる。また、複数のUCCをネットワー

ク結合してノード数を拡張することが容易に可能である。さらに、各計算ノードにはUSBなどの周辺機器インタフェースを搭載した組込み機器を用いており、センサや制御対象などを接続可能である。このため多様なユビキタスアプリケーションのプロトタイピングに適している。

このアーキテクチャに基づき、これまでにFig. 2に示すような、組込みCPUアーキテクチャが異なる3種類のUCC (SH4-UCC, ARM9-UCCおよびM32R-UCC)を開発してきた。



Fig. 2 Photographs of SH4-UCC, ARM9-UCC and M32R-UCC.

開発したUCCは4台の計算ノード、スイッチングハブおよび電源が専用の小型スケルトンラックにマウントされた構造となっている。計算ノードとして、SH4-UCCではネットワークハードディスクドライブ、ARM9-UCCおよびM32R-UCCではCPU評価ボードを搭載している。OSとしてDebian/GNU Linuxを搭載し、また、セルフ環境でユビキタスアプリケーションの開発やプロトタイピングを行なえるように、GNU C/C++プログラム開発環境やMPICH³⁾、LAM-MPI⁴⁾などのMessage Passing Interface(MPI)に基づく並列処理アプリケーション開発環境を備える。Table 1に各UCCの主な仕様を示す。

Fig. 3に開発した3種類のクラスタ計算機の通信

Table 1 Specifications of UCCs

SH4-UCC	
CPU	SH7751R 266MHz
Memory	64MB SDRAM
Storage	120GB HDD
Network	100Mbps Ethernet,RTL-8139C
Peripherals	USB 2.0,2 port,uPD72101
OS	Debian GNU Linux 2.4.21
Compilers	gcc-3.0.4, mpich-1.25
ARM9-UCC	
CPU	EP9315 200MHz
Memory	64MB SDRAM
Storage	2/4GB MicroDrive
Network	100Mbps Ethernet,EP9315
Peripherals	USB 2.0,1 ports,EP9315
OS	Debian GNU Linux 2.6.12
Compilers	gcc-3.3.5, LAM/MPI-7.1.1
M32R-UCC	
CPU	M32R 300MHz
Memory	128MB SDRAM
Storage	2/4GB MicroDrive
Network	100Mbps Ethernet,LAN91C111
Peripherals	USB 2.0,2 ports,ISP1362
OS	Debian GNU Linux 2.6.16
Compilers	gcc-3.4.4, LAM/MPI-7.1.2

性能評価結果を示す. 同図は2台の計算ノード間で ping-pong通信を行なった場合のデータサイズに対するスループットを示している.

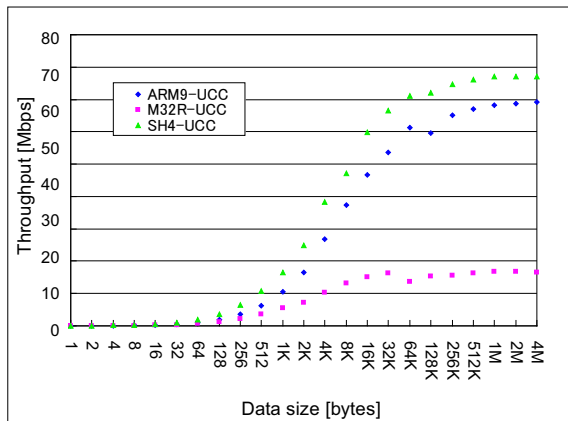


Fig. 3 Performance of ping-pong communication.

測定にはMPIの性能評価において典型的なベンチマークプログラムであるIntel MPI Benchmark⁵⁾を用いた. データサイズが小さいうちは通信オーバーヘッドのためにスループットが低い, データサイズが増加するにつれてスループットが向上している. SH4-UCCおよびARM9-UCCでは最大70Mbps

程度のスループット性能が得られており, 組込みCPUの処理性能, MPIのオーバーヘッド, 市販の安価なスイッチングハブを用いている点などを考慮すれば, 最大通信速度が100Mbps高速イーサネットに対して十分な性能が出ていると考えられる. しかしながら, M32R-UCCの結果を見るとスループット性能は最大で20Mbps弱程度であり, 他の2機種と比較して数分の一程度の性能しか得られていない. この原因は, 計算ノードとして使用しているCPU評価ボードに搭載されているネットワークインタフェースが, 通信負荷が一定以上になると頻繁にダウンするためであることが明らかとなっている.

この問題は, UCCが組込み機器によるネットワーク分散型並列処理環境を擬似的に再現するためのプロトタイピングプラットフォームであるという観点から, 改善されることが望ましい. このため, ネットワーク通信性能が他の2機種と同等のCPU評価ボードを用いて, UCCを構築し直すことを検討したが, 要求を満たすCPU評価ボードは存在せず, 通信性能が改善されたM32R-UCCを構築することができない状況にある. 本研究では, 今後も多様なCPUアーキテクチャのUCCを継続的に構築していくことを検討しているが, 同様の問題が生じることが予想される. この問題を根本的に解決する一つ的手段として, UCCの計算ノードとして要求される機能および性能仕様を満たす組込みCPUボードを研究室レベルで独自に設計し, 開発することが有効であると考えられる.

3. 組込みCPUボードの独自開発

本研究では, 上述の問題を根本的に解決する一つ的手段として計算ノードを研究室レベルで独自に設計・開発することが有効であると考え, 具体的な試みとして, “Sephirah” と呼ぶ組込みCPUボードの開発を行なった. 独自に組込みCPUボードの

設計・開発を行なう主な利点としては、(i) 目的とする機能、性能を満たす組み込みCPUボードが開発できること、(ii) 構成を熟知しているため、ハードウェアやソフトウェアを細かくカスタマイズすることが比較的容易であること、(iii) 設計・開発データは研究室のノウハウとして蓄積され、同様の設計・開発を行なう場合に期間を大幅に短縮できること、(iv) 業者に外注するよりもコスト的に有利であることなどが挙げられる。本章では、開発したSephirahの機能仕様、アーキテクチャなどについて述べる。

3.1 組み込みCPUボードの機能仕様

今回の開発事例においては、従来型UCCにおける問題点、改善要望等を考慮し、以下のように機能仕様を定めた。

- 1) 100Mbps高速イーサネットによる安定した通信が可能なネットワークインタフェースを搭載する。通信性能としてping-pong通信の最大スループットが60Mbps以上を目標とする。
- 2) 多様な周辺機器を多数接続するためのUSBインタフェースを搭載する。ポート数は4とし、4台の周辺機器を同時に接続しても個々の機器が十分なデータ転送速度を確保できるように、USB 2.0 High-speed規格とする。
- 3) 多様な組み込みCPUアーキテクチャによるプロトタイピングが可能となるように、既存のUCCとは異なるアーキテクチャの組み込みCPUを搭載する。
- 4) 多様なアプリケーションのプロトタイピングを可能とするため、既存のUCCの計算ノードに搭載されているものと同様以上の大容量メモリを搭載する。
- 5) セルフ環境でアプリケーション開発を行なうためのOSやコンパイラ等を搭載するため

に、大容量外部記憶装置を装着できるインタフェースを備える。

3.2 組み込みCPUボードのアーキテクチャ

上述の機能仕様を満たすためのSephirahのアーキテクチャをFig. 4に示す。

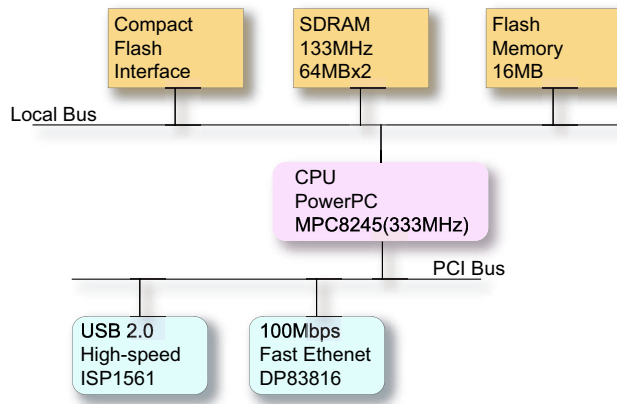


Fig. 4 Architecture of Sephirah.

Sephirahのアーキテクチャは、特に、SH4-UCCやARM9-UCCと同等レベルのネットワーク性能を実現することに重点を置いたものとなっている。

最も普及しているタイプのCPU評価ボードには、ローカルバス直結型のインタフェースコントローラデバイスが搭載されている場合が多い。しかしながら、M32R-UCCがローカルバス直結型のコントローラデバイスを搭載していた点と、PCI拡張バス接続型のコントローラデバイスには比較的通信性能および通信安定性が優れたものが多い点を考慮し、SephirahのネットワークインタフェースはPCI拡張バス接続型とした。インタフェースコントローラデバイスにはNational Semiconductor社製DP83816ネットワークコントローラを採用した。USBインタフェースに関しても同様に、ポート数、データ転送速度の観点から、PCI拡張バス接続型としている。インタフェースコントローラデバイスには、NXP社製ISP1561 USB2.0(High-speed)コントローラを採用した。これらのデバイスについてはPCIアドオンカードを試作し、汎用PCによっ

て性能評価を行い、仕様を十分に満たせる可能性が高いことをあらかじめ確認している。

SephirahのCPUには、(i) SH4, ARM9, M32R以外のアーキテクチャであり、かつ、市販の家電製品に組み込まれている典型的な組み込みCPUであること、(ii) PCI拡張バスコントローラを備えていること、(iii) 搭載予定のLinux OSカーネルおよびディストリビューションのサポートが充実していることの3つの観点から検討し、PowerPCアーキテクチャのCPUを用いることとした。デバイスには、PowerPC G2コア搭載のFreescale Semiconductor社製MPC8245統合プロセッサを採用した。

採用したCPUデバイスにはSDRAMコントローラが搭載されていることから、メインメモリとしてSDRAMを用いることとした。MPC8245は最大2GBのSDRAMを搭載可能であるが、CPUボードのコンパクト性を考慮し、メモリ容量を128MB(64MBのメモリチップ2個)とした。

大容量外部記憶装置としては、従来型UCCと同様にマイクロドライブやコンパクトフラッシュを用いることとし、コンパクトフラッシュインタフェースを採用した。コンパクトフラッシュインタフェースは、CPLDを介してCPUのローカルバスに接続するアーキテクチャとした。

3.3 組み込みCPUボードの設計・開発

上述のアーキテクチャに基づき、Sephirahの回路設計および基板パターンレイアウトを行なった。基板パターンレイアウトにおいては基板層数を6層とし、また、基板外形寸法を160mm×140mmとした。

通常的设计・開発では、回路設計、回路シミュレーション、パターンレイアウト、ノイズ解析という段階を踏むが、本研究室ではCadsoft社のEAGLEレイアウトエディタという安価な回路設計および基板レイアウトエディタ以外のツールを保有して

いない。このため、回路シミュレーションおよびノイズ解析は行なっておらず、ノイズ対策等については、基本的にデータシート、アプリケーションノートなどの参考資料に基づき行なっている。今回の試みには、十分な開発環境が整っていない状況で、要求仕様通りに動作する組み込みCPUボードを開発することが可能であるかという試験的要素も含まれている。基板製造および部品の実装は外注で行なった。

Fig. 5にSephirahの完成写真を示す。また、Table 2にSephirahの主なハードウェア仕様を示す。

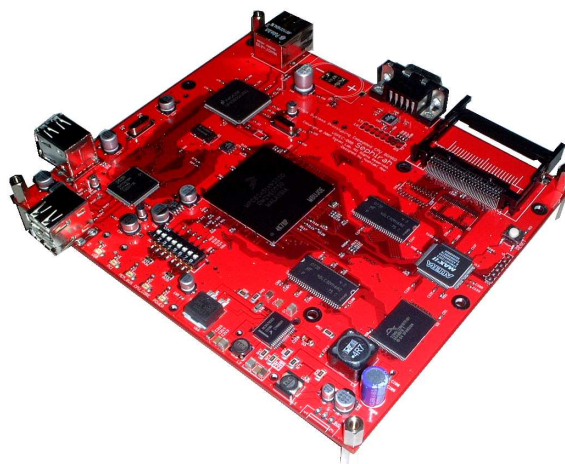


Fig. 5 Photograph of Sephirah.

Table 2 Hardware specifications of Sephirah

CPU	PowerPC G2core 333MHz Freescale semiconductor MPC8245 Integrated Processor
Main Memory	SDRAM 133MHz CL3 128MB (512Mb×2) Micron MT48LC32M16
Boot ROM	Flash memory 16MB SPANSION S29GL128N
Network interface	100Mbps Ethernet National Semiconductor DP83816 MacPhyterII
USB interface	USB 2.0 High-speed 4 downstream ports NXP ISP1561
Auxiliary storage interface	Compact Flash Interface (Type I/II) True IDE mode

現在、完成した組み込みCPUボードのハードウェアデバッグおよび基本ソフトウェアのポータビリティ

中である。

4. まとめ

本稿では、従来型UCCの構成およびその計算ノードに関する問題点を示すとともに、この根本的な解決策の一つとして、独自に組込みCPUボードを設計・開発することが有効であることを述べた。また、この一環として行なった組込みCPUボードの開発について述べた。

今回の試みは、要求を満たす組込みCPUボードを研究室レベルでも開発できるという実績を示すとともに、ノウハウとして蓄積されることで、今後、同様のボードを開発する場合の開発期間の短縮に寄与するなどの点から、極めて有用であると考えられる。

今後は、開発した組込みCPUボードへの基本ソフトウェアの実装を行なうとともに、性能評価を行い、開発した組込みCPUボードの性能が要求仕様を満たしているかを検証することが重要である。

参考文献

- 1) M. Weiser: Some Computer Science Issues in Ubiquitous Computing, Communications of the ACM, **36-7**, 75/84, (1993)
- 2) Yoshifumi Sasaki, Koichi Ito, Takafumi Aoki and Tatsuo Higuchi: A compact cluster computer with embedded CPUs and its application to rapid prototyping of fingerprint verification system, IEICE Electronics Express, **2-17**, 465/470, (2005)
- 3) MPICH-A Portable Implementation of MPI, <http://www-unix.mcs.anl.gov/mpi/mpich/>
- 4) LAM/MPI Parallel Computing, <http://www.lam-mpi.org>
- 5) Intel MPI Benchmark, <http://www.intel.com/cd/software/products/asm-na/eng/219848.htm>