

光学式ロータリエンコーダによる回転検出
A Detection of Motor Rotation Using Optical Encoder

○館石竜一*, 秋山宜万*, 松尾健史*, 三浦 武*, 谷口敏幸*

○Ryuichi Tateishi*, Yoshikazu Akiyama*, Kenshi Matsuo*, Takeshi Miura*, Toshiyuki Taniguchi*

*秋田大学

*Akita University

キーワード：光学式ロータリエンコーダ(optical rotary encoder), FPGA(FPGA),
角度検出(angle detection), カウンタ(counter)

連絡先：〒010-8502 秋田県秋田市手形学園町 1-1 秋田大学工学資源学部 電気電子工学科
松尾 健史, TEL : (018)889-2338, FAX : (018)837-0406, E-mail : matsuo@ipc.akita-u.ac.jp

1. はじめに

ロータリエンコーダは、サーボシステムにおいて位置および速度の制御を行うための角度センサの一種であり、工作機械、ロボット、工場の自動化ラインなどに広く使われている。ロータリエンコーダは回転角度に比例するパルスを出力するものが一般的であり、一回転あたりのパルス数は数万以上におよび、論理処理を行うことにより、その分解能を向上させることができる。

文献 1)において、ドイツなどでは古くからロータリエンコーダ用の国家標準を設置し、より高精度な測定法を開発しているという報告があり、日本でもこの文献のグループがエンコーダの全角度目盛 225,000 点の誤差データを自動測定する校正システム

を開発し、国家標準やトレーサビリティ体系の確立を目指している。

本研究では、ロータリエンコーダの信号処理について、アナログ系からデジタル系の変換に注目して高精度化を検討する。

2. ロータリエンコーダ

本研究で使用したロータリエンコーダはオムロン社製の光学式インクリメンタル形の E6B2-CWZ である。その仕様を表 1 に示す。

表 1 ロータリエンコーダの仕様

Table 1 specification of rotary encoder

allowable maximum rotating load	6000 [min^{-1}]
max response frequency	100 [kHz]
resolution	500 [pulses/rev.]

その基本的な構造を図 1 に示す。発光ダイオードなどの発光素子とフォトトランジスタなどの受光素子をスリットの入った円板をはさんで設置することで、スリットを通過する光量に応じた電流が出力され、その波形を波形整形回路によってパルス信号に変換し、電圧信号として出力される。

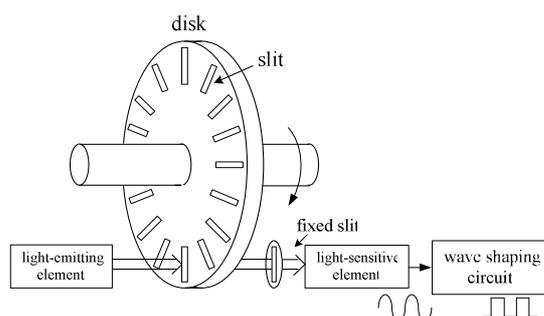


図 1 光学式ロータリエンコーダの構造

Fig.1 scheme of optical rotary encoder

インクリメンタル方式では、エンコーダが一定角度回転するごとにパルス信号が発生し、そのパルス数をカウンタなどにより積算することで回転角度を計測する。実際には回転方向を判別するために 90° の位相差をもつ 2 相のスリットを設け、出力されたパルス列の推移を検出する。

またパルス列の立上り、立下りの推移の組み合わせにより、1 周期分のパルス出力から 4 個の分解能をとることができる。

この方式ではエンコーダごとのパルスの発生頻度、つまりスリット数によって分解能が変わるため、高精度になるほど装置が大型化し、高価格となる。

一方、アブソリュート方式では円板上に n 層のスリットを設け、それぞれに対応した n 個の受光素子により変換された電圧信号のパターンを、グレイコードを用いてコ

ード化したデータを出力する。そのためカウンタを必要とせず、常に回転軸の絶対的な角度位置の検出が可能となるが、各層ごとに信号を出力するためインクリメンタル方式よりも高価格化、大型化する。

その他のパルス出力の代表的な分類としてはオープンコレクタ出力と TTL 互換電圧出力がある。オープンコレクタ出力では整形されたパルスそのまま出力する方法で、スイッチ接点と同様に扱うことができる。TTL 互換電圧出力は、TTL-IC を用いて 5[V] の電圧でパルスを出力する。

本研究ではインクリメンタル方式のロータリエンコーダを用いる際に必要なカウンタ回路を FPGA によって構成し、位相差による回転方向の判別を行う。

3. 信号のパルス化

前章で述べたように、ロータリエンコーダから出力されるパルスは受光素子から出力される正弦波状の信号を整形したものである。しかし、このパルスが受光素子から出力される信号を正確に表しているかを確認するため、本研究ではロータリエンコーダから、パルスを生成する前の 2 相の正弦波状の電気信号を取り出している。

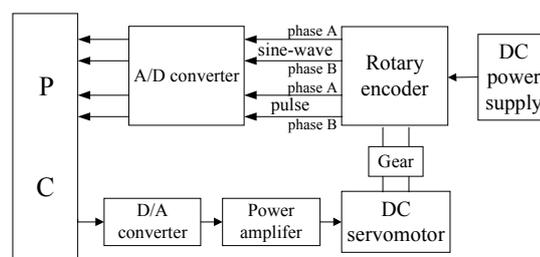


図 2 実験システム

Fig.2 experimental system

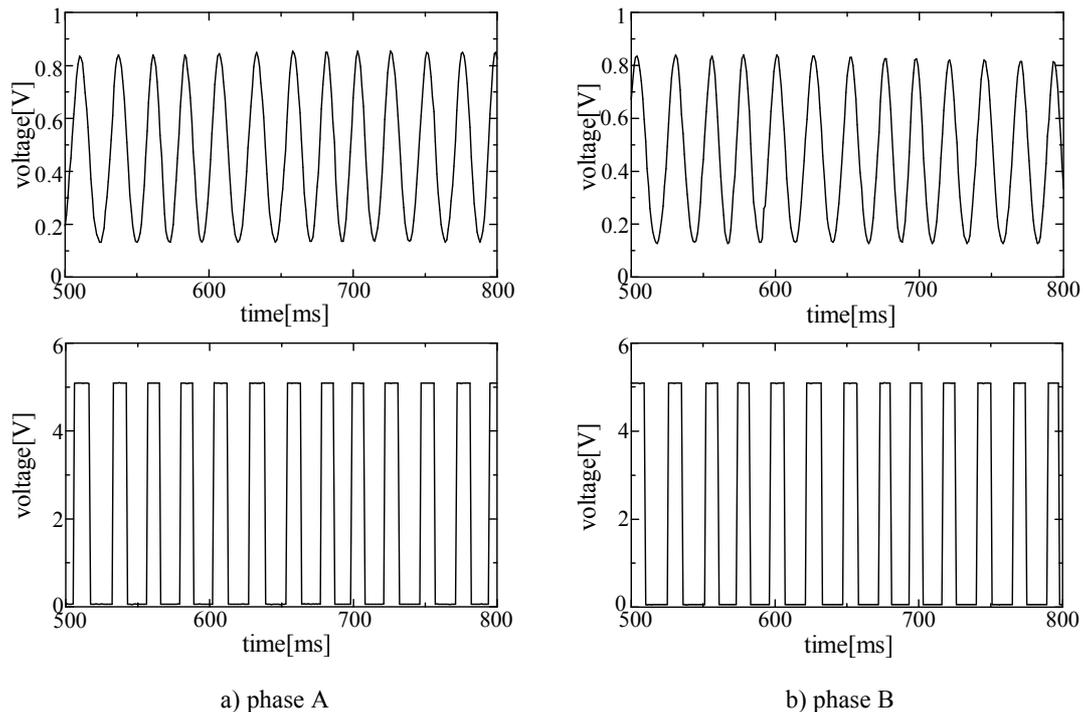


図3 エンコーダの出力波形
Fig.3 output waveform of encoder

ロータリエンコーダを回転させるためのDCサーボモータの回転検出装置の構成を図2に示す。使用したDCサーボモータは、山洋電気社製のR301T-011である。その仕様を表2に示す。

パーソナルコンピュータ(以下PCと示す)からの指令をDA変換器を介してアナログ信号とし、増幅器を通してDCサーボモータを回転させる。今回の研究でのモータ印加電圧は5[V]としている。DCサーボモータとロータリエンコーダの接続部には

表2 モータの仕様

Table 2 specification of motor

rated power	11 [W]
rated voltage	24 [V]
rated current	1.25 [A]
rated speed	3000 [min^{-1}]
rated torque	0.034 [$\text{N} \cdot \text{m/A}$]

100:1のギアを介している。DCサーボモータの回転角度に応じてロータリエンコーダから出力される正弦波状の信号とパルス信号を、AD変換器を介してPCに出力する。

取得した正弦波とパルスの出力波形を図3に示す。この結果から、正弦波側が一定以上の値となることでパルスが立ち上がっていることを確認した。

同様に、測定中にモータの回転方向を反転した際の出力を図4に示す。ここでは1000[ms]で回転方向を反転している。この波形から、反転直後はパルス幅に大きなゆらぎが生じていることがわかる。

4. パルスの処理

本研究ではアップダウンカウンタとしてFPGA(Field Programmable Gate Array)を用いる。FPGAはプログラマブルデバイスと

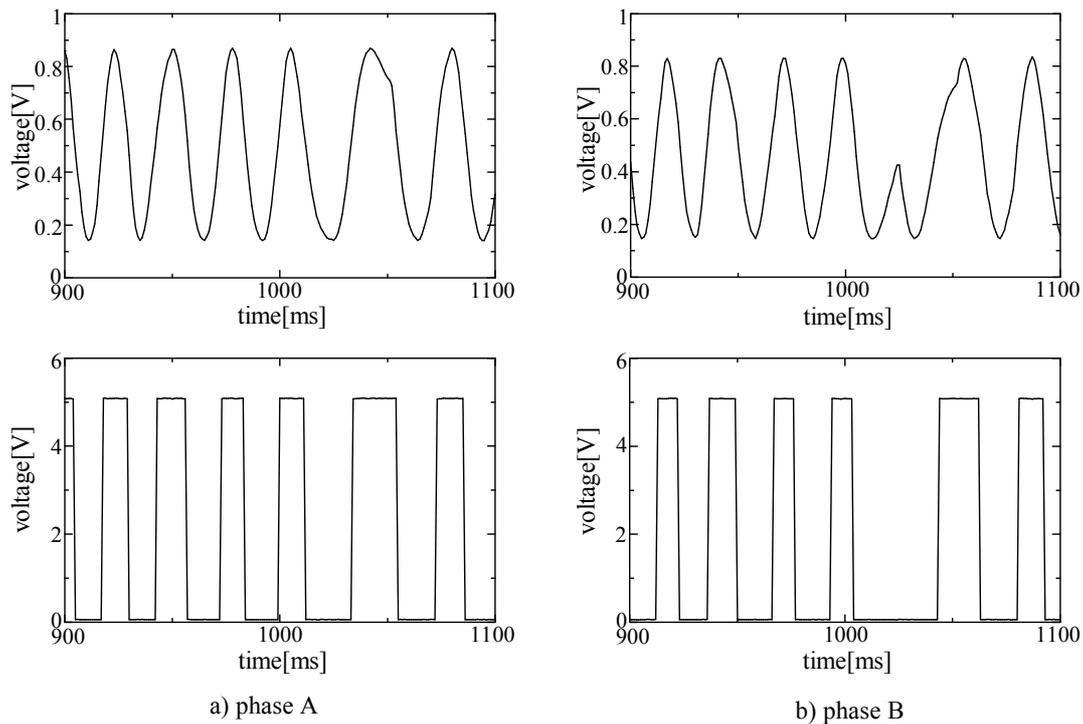


図 4 反転時の出力波形
Fig.4 output waveform when reverse

呼ばれる，内部構造のプログラミングが可能な LSI の一種である．プログラマブルデバイスは，多数の小規模な論理ブロックを相互接続することで構成された FPGA と，「マクロセル」と呼ばれる比較的大規模な論理ゲートによって構成される PLD に大きく分類される．今回は参考文献 3) に付属している FPGA 搭載のボードを用いて研究を行った．このボードと搭載されている FPGA の仕様をそれぞれ表 3,4 に示す．FPGA は Xilinx 社製の Spartan 3E ファミリーである．また開発ツールとしては Xilinx 社の ISE Web Pack 8.2i を用いた．

表 3 FPGA ボードの仕様

Table 3 specification of FPGA board	
clock oscillator	33[MHz]
supply voltage	5[V]
on-board FPGA	XC3S100E

Xilinx 社の Spartan-3E は同社の FPGA の中の Spartan シリーズのひとつであり，論理ブロック以外にクロック管理ブロックや乗算器ブロックを持つ．対応する I/O 規格が豊富なこと等から低コストでのシステム開発が可能である．

ここでは，本研究で用いる FPGA の処理性能に関して，入力信号の周波数を上げて分周処理を行うことで，処理速度の確認を行った．そのアルゴリズムを以下に示す．

表 4 搭載 FPGA の概要

Table 4 outline of on-board FPGA	
number of system gate	100,000
number of logic cell	2160
embedded memory	52[Kbit]
core voltage	1.2[V]
I/O voltage	2.5[V] or 3.3[V]

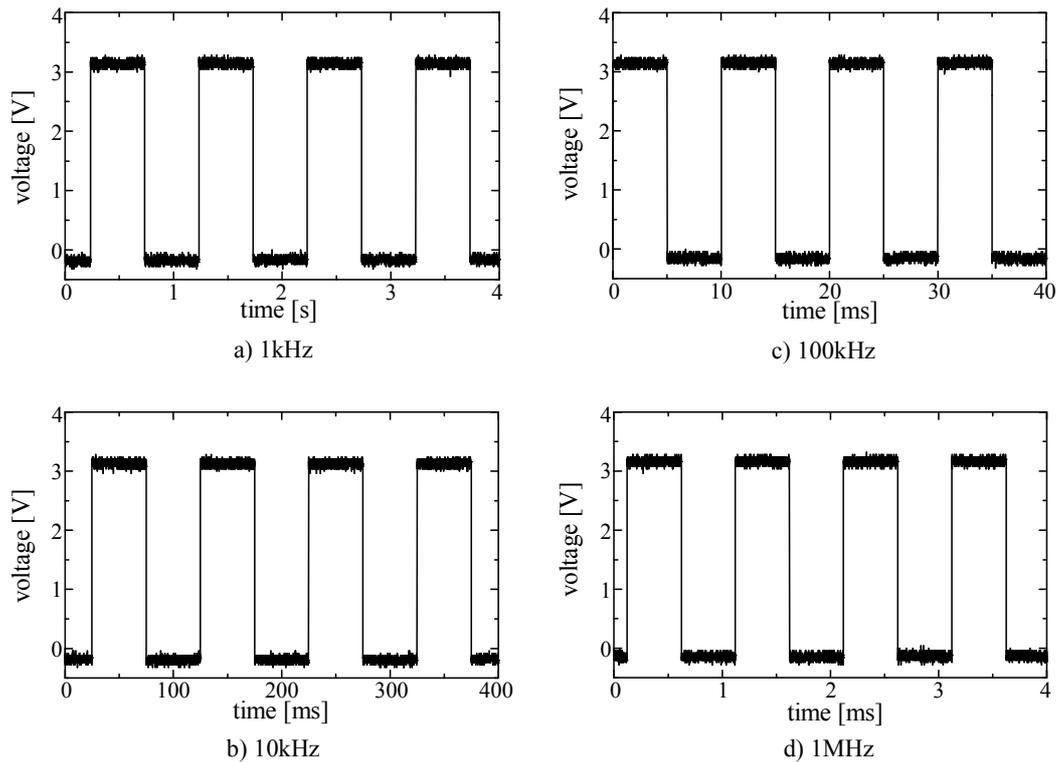


図 5 FPGA の出力波形

Fig.5 output waveform from FPGA

- 1) クロックの立上りごとに入力信号の値を保持
- 2) 保持した値から入力信号の立上り，立下りを認識
- 3) 入力信号の立上り，立下りを認識するごとにカウント
- 4) 1000 カウントで出力信号の値を切り替え

このアルゴリズムを基に，ハードウェア記述言語のひとつである Verilog HDL を用いて論理回路設計を行う．その後 FPGA にダウンロードし，入力信号として発振器から周波数の異なる方形波を入力，FPGA からの出力についてオシロスコープにより観測を行った．その結果を図 5 に示す．この結果から，2[MHz]までの入力信号について，ほぼ正確に信号の立上り・立下りをカウント，出力がなされており，

研究に用いる際に十分な性能であることが確認できた．

今回の研究では，使用したボードに搭載されている 33[MHz]の発振器をクロックとして用いているが，FPGA に入力するクロックの値を変更することで，より高い周波数の信号がカウントできるかどうか考察する必要がある．

次にロータリエンコーダから出力されるパルスと同様に，90° の位相差をもつ 2 相の信号を入力し，4 通倍した状態で回転方向の判別を行う回路を作成し，その論理回路のシミュレーションを行った．このシミュレーションでは A 相，B 相の立上り，立下りそれぞれでカウントが行われていることの確認，また正転，逆転それぞれの場合でパルスを出力することで，回転方向の判別が可能となっている．

以上の結果から、これらのシステムを用いることで実際にロータリエンコーダの出力波形を入力し、カウンタとして用いることが可能であると考えられる。

5. パルスゆらぎの考察

図3を詳細に検討すると、パルス幅が変動している。この変動は直流モータの回転むらや、受光素子の電気信号のゆらぎが原因と考えられる。電気信号のゆらぎについては十分に検討する必要がある。

本研究では、ロータリエンコーダ内でパルスに整形される以前の正弦波状のアナログ信号を取得することで、出力波形のゆらぎについて検討したが、ロータリエンコーダ実装時にアナログ信号を取得することは困難である。そのため、エンコーダから出力されるパルス信号を用い、デジタル系でのゆらぎの検出方法について検討した。

そのひとつとして、FPGAによってパルスの検出を行った際に、パルスがHとなっている間隔により、パルス幅のゆらぎを取得できるかどうか検討した。

6. おわりに

本研究では、角度センサの一種であるロータリエンコーダの信号処理について、アナログ系とデジタル系それぞれの方向から検討した。3章の結果から、回転方向の転換時にアナログ信号の状態でゆらぎが生じることを確認した。また4章で述べたように、FPGAを用いて十分な処理性能のカウンタを作成することができた。

問題点としては、回転方向転換時のアナ

ログ信号の処理が統一されているのか、メーカごとに信号を検出して確認を行う必要がある。またエンコーダから出力されるパルスから、アナログ信号で生じるゆらぎを検出する方法を検討する必要がある。

謝辞

本研究の実験の一部は、本学工学資源学 研究科 博士前期課程の萩原正基氏の協力を受けて行ったものである。同氏に深く感謝します。

参考文献

- 1) 玉真昭男, 杉浦正大, 益田 正: ロータリエンコーダ用誤差測定回路の高度化, 電子情報通信学会技術研究報告 VLD2005-56, 15/20 (2005)
- 2) 高野英司, 川畷俊夫: センサの技術, 37/39 理工学社(2001)
- 3) 井倉将実: FPGA ボードで学ぶ Verilog HDL, CQ 出版社(2007)