

高周波・広帯域 PLL を目的とした位相雑音特性に関する一検討

A Characteristic on Phase-Noise of Phase-Locked Loop for High Frequency and Broadband Use

○保原秀康*, 萱野良樹*, 井上浩*

○Hideyasu Hobara*, Yoshiki Kayano*, Hiroshi Inoue*

*秋田大学大学院工学資源学研究科

*Graduate School of Engineering and Resource Science, Akita University

キーワード： 位相同期回路(Phase Locked Loop), 位相雑音(Phase Noise), ループフィルタ (Loop Filter), 電圧制御発振器(Voltage Controlled Oscillator), 位相比較器(Phase Comparator)

連絡先：〒010-8502 秋田市手形学園町 1-1

秋田大学大学院工学資源学研究科 電気電子工学専攻 井上研究室

保原秀康, Tel : 018-889-2492, E-mail : hobara@venus.ee.akita-u.ac.jp

1. はじめに

超広帯域 (Ultra Wide Band: UWB) 無線システムなどの広帯域内での変復調の利用は, 新たな信号伝送や信号処理の可能性を広げている[1][2]. また, システムの 1 チップ集積化 (System on Chip.: SoC)を意図したシステムの研究が必要である[3].

高周波で広帯域に使用できる位相同期回路 (Phase Locked Loop: PLL)は, 広帯域通信および信号処理のキーとなる要素技術と考えられる[4].

高性能設計に伴うデータ転送速度の向上すなわち高周波・広帯域, および通信機器の小型化に対して適用できる PLL には,

- ・ 高周波・広帯域で発振する電圧制御発振器 (Voltage Controlled Oscillator : VCO)
- ・ 位相差に対する出力電圧が線形性を持ち, 高周波でも動作する位相比較器 (Phase Comparator : PC)

は欠かすことが出来ない[5]. 一方, 高周波化が進んだ場合に, 基準信号となる発振器の位相雑音がデータ誤り率に直接影響を与えるよ

うになり, 高周波・広帯域化というアプローチに対して, 低位相雑音化にも着目する必要がある.

VCO については高周波で発振するものが報告されており, 位相比較器についても出力電圧が線形性を保つようなものが報告されている[6][7]. 一方, PLL 内に使用するループフィルタ (Loop Filter : LF) は位相雑音を抑制する重要な回路であるので, VCO と PC の特性に合わせた設計や構成が非常に重要である.

本研究では, 最初に, 高周波・広帯域であり, 且つ低位相雑音特性を持つ PLL を設計するために PLL の動作の核であるループフィルタを取り上げ, その種類および設計仕様が PLL の動作周波数範囲に与える影響について検討した. 次に, 筆者らの提案した広帯域 VCO[8]を使用して新たに開発した 1 チップ PLL の特性を計測した結果および広帯域化ならびに低位相雑音の実現の問題点を検討した結果について報告する.

2. PLL の基本構成

基本的な PLL は図 1 のように位相比較器 PC, ループフィルタ LF, 電圧制御発振器 VCO の 3 つの要素回路から構成される。

位相比較器によって入力信号 v_i と VCO の出力 v_o との位相の比較が行われ, 位相のずれに対応する誤差信号 v_e が検出される. ループフィルタは, 位相比較器の出力に含まれている不要な周波数成分や雑音を取り除く機能を持つと同時に, PLL の応答特性を決定する要素である. ループフィルタの出力 v_d は入力信号に追従するように VCO の発振出力を制御する. ループフィルタはフィルタとしての役割だけでなく, VCO への入力電圧を出力する役割も持っているため, ループフィルタの設計によっては VCO を制御できず, PLL が動作しないという問題が起きる.

高周波・広帯域 PLL の設計のため, VCO は発振周波数の高いもの, PC は位相差に対して線形性が良いものが必要であるが, LF の設計や構成も重要である.

本研究では, 最初に代表的な LF の構造として図 2 示すように,

- 1) ラグフィルタ
- 2) ラグリードフィルタ
- 3) ラグリードラグフィルタ

の 3 種類を個別素子で構成し, PLL の動作周波数範囲についての検討を行った.

次に, 最も広帯域で動作したフィルタを IC 内の PLL に実装し, 動作周波数範囲と位相雑音特性について検討を行った.

3. PLL 動作周波数の LF 依存性の検討

PLL の広帯域化の指標としてロックレンジ動作周波数(Lock Range: 同期保持範囲)の広い LF を選定するため, LF の構成を変えて PLL を作製し, ロックレンジを計測した.

表 1 に検討に用いた LF の設計仕様と回路定数を示す. ここで, f_1 は 1 次の位相遅れ(ラグ)周波数, f_2 は位相進み(リード)周波数, f_3 は 2 次の位相遅れ周波数である. f_m は対数的中間周波数である. 図 3 に LF の伝達特性を示す. 実測とシミュレーション値はほぼ一致しているが, 図 3(b)の実測値において 1MHz あたりでシミュレーション値と大きく異なることが分かる.

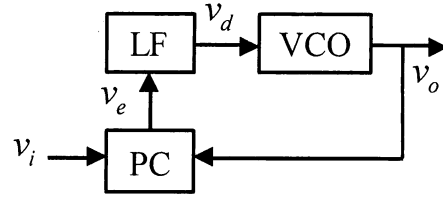
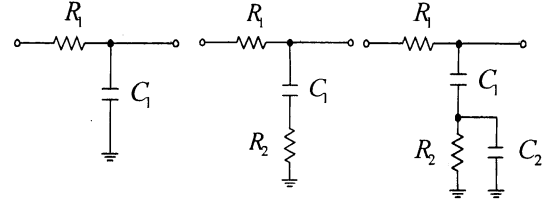
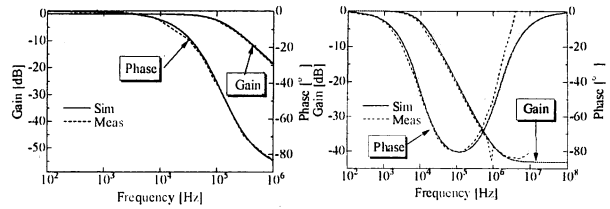


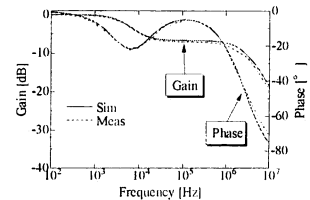
図 1 基本的な PLL の構成



(a) ラグ (b) ラグリード (c) ラグリードラグ
図 2 ループフィルタ



(a) ラグフィルタ (b) ラグリードフィルタ



(c) ラグリードラグフィルタ

図 3 ループフィルタの伝達特性

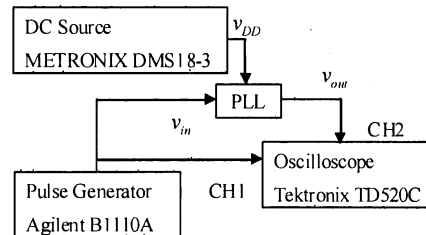


図 4 PLL のロックレンジの測定系

ここでは, PLL の簡単な動作検証を目的としているため, この結果を踏まえて抵抗やコンデンサを理想素子として扱える周波数帯域で検討した. PLL には, 個別素子(VCO と位相比較器: CD74HC4046 を独立に 2 個使用)を用いている.

パルスジェネレータより振幅 5V, オフセット 2.5V の矩形波を入力した. 測定系を図 4

表 1 ループフィルタの設計仕様と回路定数

	f_1	f_2	f_3	f_m	R_1	R_2	C_1	C_2
ラグ	120kHz				100Ω		13.2nF	
ラグリード	9.96kHz	1.43MHz		120kHz	1.43kΩ	10.0Ω	11.1nF	
ラグリードラグ	4.63kHz	10.0kHz	1.42MHz		600Ω	509Ω	31.0nF	0.22nF

に示す。入力周波数を低いほうから高いほうへ推移させ、そのときの PLL の出力がロックされていることオシロスコープで確認し、ロックレンジ周波数範囲を測定した。図 5 に PLL のロックレンジの測定結果を示す。位相差 -180° の周波数は、ラグフィルタでは 355kHz, ラグリードフィルタでは 40kHz~410kHz (低周波で同期しなかった), ラグリードラグフィルタでは 550kHz まで動作が確認できた。以上のことから、ラグリードラグフィルタを用いた PLL のロックレンジが最も広く、広帯域化に有効であることが明らかになった。

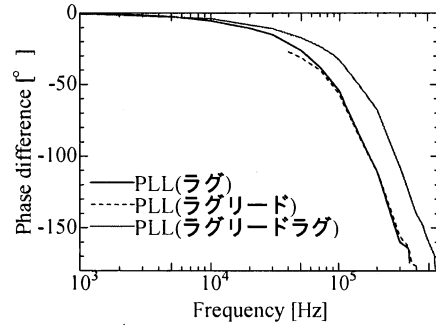


図 5 ロックレンジ(実測)

4. IC チップ内の高周波・広帯域 PLL の試作と特性検討

本節では、IC 内に設計・試作した高周波・広帯域 PLL について、構成する各々の回路の諸特性について検討し、さらに PLL の全体動作および位相雑音特性について検討した。

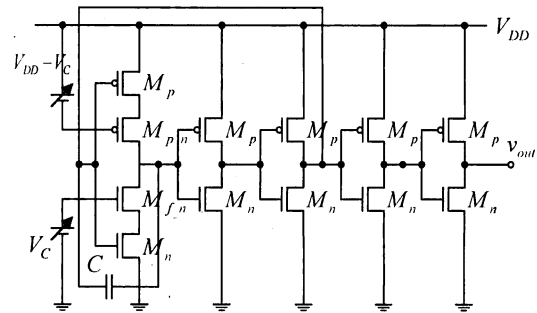


図 6 VCO の回路図

4-1. VCO

今回の検討に用いた VCO の回路図を図 6 に示す。本 VCO は小型化に有効である CR リング発振器を応用した筆者らの提案する発振器である[8][9]。表 2 に VCO の設計仕様を示す。

表 2 VCO の設計仕様

項目	数値
使用プロセス	1.2μm
電源電圧 V_{DD}	5V
帰還コンデンサ C	0.3pF
制御電圧上限 V_{C_MAX}	5V

DC 電源は $V_{DD}=5V$ 一定とし、 V_C 側を 0~5V, $V_{DD}-V_C$ 側を 2 つの制御電圧の和が 5V となるようにするため 5~0V と変化させ、そのときの出力信号の発振波形及びスペクトルをオシロスコープ及びスペクトルアナライザで測定した。

VCO の制御電圧 V_C が 0~5V の範囲の発振周波数についての測定結果と HSPICE のシミュレーション結果と併せて図 7 に示す。図より、シミュレーションでは制御電圧 $V_C=0.8V$ の時に発振を始め、発振周波数範囲は 5.63~254.3MHz であると確認できる。測定結果では、制御電圧 $V_C=0.4V$ のときに発振を始め、

発振周波数は 7.94kHz~169.9MHz であると確認できる。この実測値がシミュレーション値よりも低い発振周波数となる問題については多くの検討結果から IC 内の配線や各インバータ段の結合による容量の影響であることが想定される。

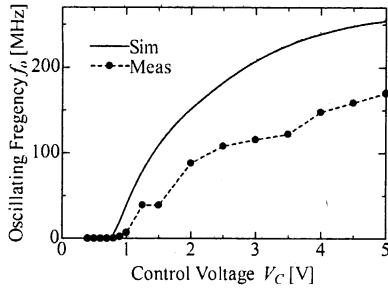
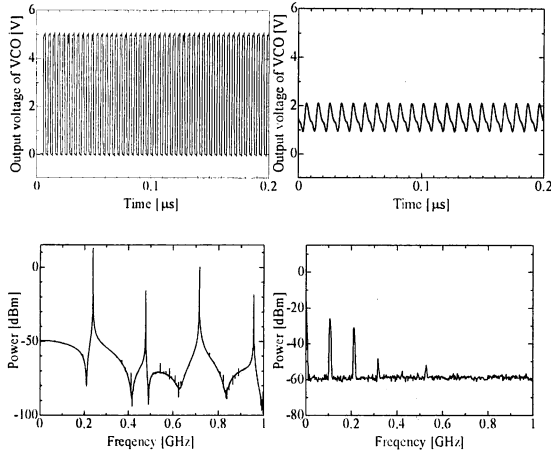


図7 発振周波数特性



(a) シミュレーション結果 (b) 実験結果
(上:出力発振波形 下:出力スペクトル特性)

図8 制御電圧 $V_C = 4.0[V]$ 時の特性

また、制御電圧が $V_C = 4.0V$ のときの発振波形とスペクトルを図8に示すシミュレーション結果と比べて、出力波形の振幅は小さく、スペクトルの範囲は狭いことが確認できる。

4.2. バイアス回路

本研究で使用した、図6のVCOには入力電圧として、1)NMOSのゲートに印加する電位 V_C と 2)そのアナログ反転電位 $V_{DD} - V_C$ (PMOSのゲートに印加する電位)の2つの制御電圧を必要としている。そこで、PLLに適用するには特別なバイアス回路が必要となるので、図9の回路を用いて、前小節のVCOと組み合わせたシミュレーションを行った。

電源電圧 $V_{DD} = 5[V]$ 、GND側の抵抗は $R_1 = 500[\Omega]$ また $R_2 = 2.5[k\Omega]$ とし、入力電圧 V_d を $0 \sim 5V$ まで変化させ、その入出力特性をシミュレーションした。

その結果を図10に示す。また、このバイアス回路とVCOを組み合わせたときの発振周

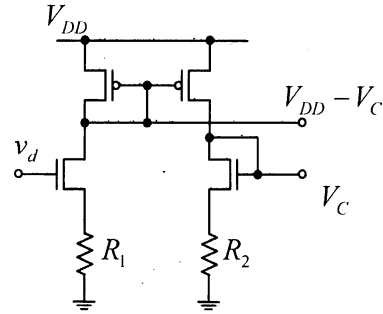


図9 バイアス回路

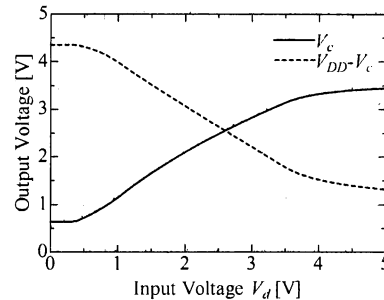
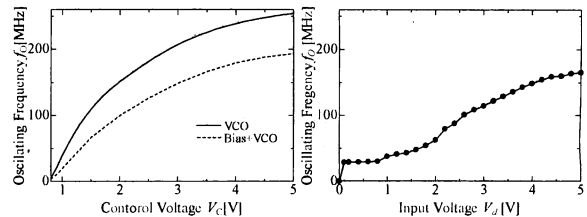


図10 バイアス回路の入出力特性
(シミュレーション)



(a) シミュレーション結果 (b) 実験結果

図11 発振周波数特性

波数特性を図11に示す。図10より、入力電圧 V_d の増加に対して $V_{DD} - V_C$ は減少していき、 V_C はそれと対称的な特性を示していることが確認できる。しかし、入力電圧が $4V$ を超えると、 $V_{DD} - V_C$ と V_C の和が $5V$ より小さくなっており、この結果からVCOの発振周波数が低くなることが懸念される。実際、図11(a)を見て分かる通り、バイアス回路を組み合わせることでVCOの発振周波数が低下していることが確認できる。

4.3. 位相比較器(PC)

位相比較器は入力信号と帰還信号との位相差を比較し、位相差に応じた誤差電圧を出力する回路である。試作ICにおいて、位相比較

器は、位相雑音特性の向上が期待できる XOR 型位相比較器を用いた[10]. 図 12 に XOR 型位相比較器の回路図を示す. XOR 型であるため, 2 つの入力信号が不一致であるときのみ誤差電圧が出力される.

位相比較器について, 電源電圧を $V_{DD}=5V$ としシミュレーションを行った. 入力条件は, 入力信号 v_{in1} と v_{in2} 共に周波数 50MHz, 振幅 5V, オフセット電圧 2.5V, 立ち上がり時間と立下り時間 2ns の矩形波とし, 位相差 0° と 90° の場合の波形を確認した(シミュレーション(a)). また, VCO の出力が図 8 に示すような完全な矩形波ではなく正弦波に近いことから, 実際に PLL に組み込むことを考慮し, 入力信号 v_{in1} を周波数 50MHz, 振幅 5V, オフセット電圧 2.5V の正弦波, もう一方の入力信号 v_{in2} を周波数 50MHz, 振幅 5V の矩形波とした位相差 0° の場合のシミュレーション(b) も行った.

シミュレーション結果を図 13 に示す. 位相差が不一致の場合に誤差電圧が出力されているのを確認できる. しかし, 立ち上がりの部分で意図しない急峻な出力信号が観測される. この出力が LF によって平滑化されずに VCO の制御電圧となることを考えると, VCO の発振に影響を及ぼすと考えられる.

図 14 に測定結果を示す. ここでは簡易的な評価として, 2 つの DC 電源を用いて信号を入力し真理値表に基づいて評価を行った. 測定結果から, この位相比較器は XOR の真理値表に基づいて出力することを確認できる.

4.4. ループフィルタ (LF)

今回の試作 IC には, 3 節での実験結果から最も広帯域動作が確認されたラグリードラグフィルタを用いている. PLL を広帯域にしたときの特性を評価するために, 帯域幅の異なる 2 つのラグリードラグフィルタ(LF1, LF2) を設計した. 表 3 に設計仕様を示す. 2 つの LF の伝達特性 (シミュレーション) を図 15 に示す. 図に示す通り, LF2 のほうが LF1 より広帯域であるように設計している.

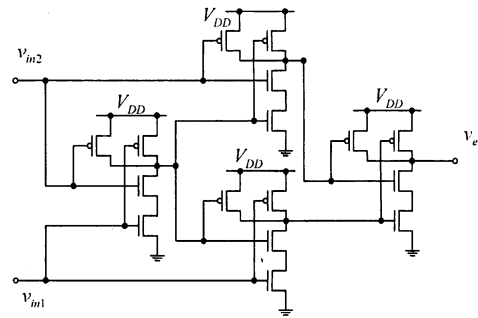


図 12 XOR 型位相比較器

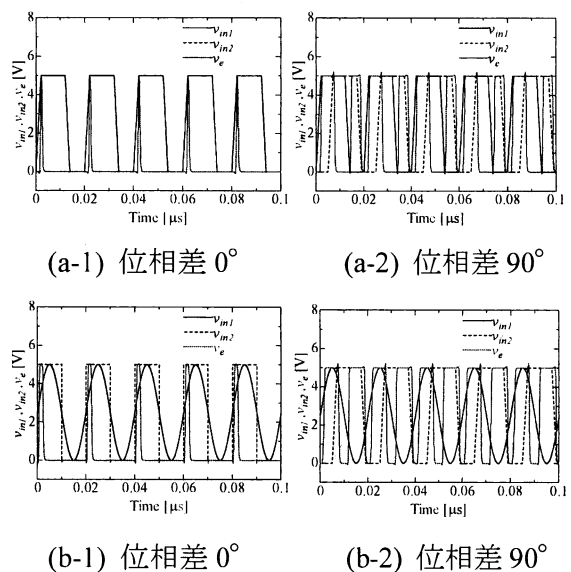


図 13 位相比較器の出力波形(シミュレーション)

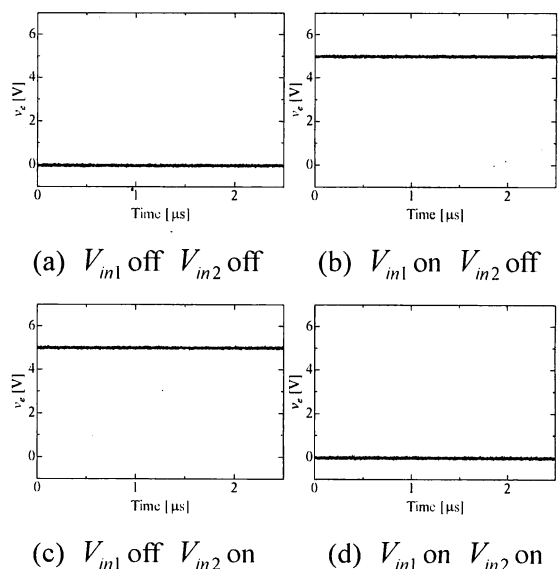
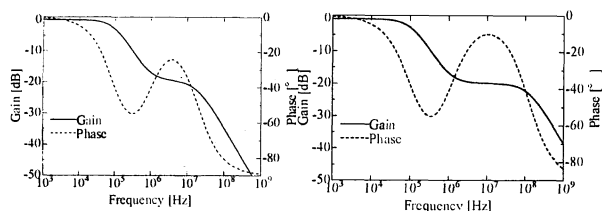


図 14 位相比較器の出力波形(実測)

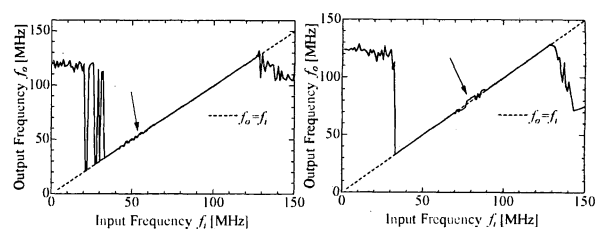
表3 ループフィルタの設計仕様と回路定数

	f_1	f_2	f_3	f_m	R_1	R_2	C_1	C_2
LF1	99kHz	1MHz	16MHz	4MHz	90.0k Ω	10.0k Ω	16.0pF	1.00pF
LF2	107kHz	1MHz	100MHz	10MHz	45.0k Ω	5.00k Ω	29.7pF	0.30pF



(a) LF1 (b) LF2

図15 ループフィルタの伝達特性 (シミュレーション)

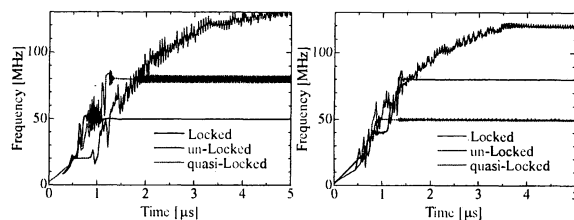


PLL1 PLL2

図16 PLLの動作周波数範囲(シミュレーション)

4-5. PLLの諸特性

前小節までで述べてきたVCO、バイアス回路、位相比較器、ループフィルタを用いて基本構成のアナログPLLを構成し、その諸特性について検討する。前小節で述べた2つのループフィルタについて、LF1を用いたPLLをPLL1とし、LF2を用いたPLLをPLL2とする。



PLL1 PLL2

図17 PLLのロックアップタイム(シミュレーション)

4-5-1. PLLの出力波形とロックアップタイムについての検討

図16にPLL1とPLL2の動作周波数範囲のシミュレーション結果を示す。PLL1の動作周波数範囲は33MHz~127MHz、PLL2は33MHz~129MHzということが分かる。この結果からPLL2の方が僅かに広帯域であると分かるが、図中に示した周波数範囲(PLL1では40~60MHz、PLL2では68~85MHz)で線形でない部分が確認出来る。

そこで、

- ①完全にロックしている周波数(同期)
- ②ロックしていない周波数(非同期)
- ③ロックはしているが線形でない周波数(半同期と呼ぶ)

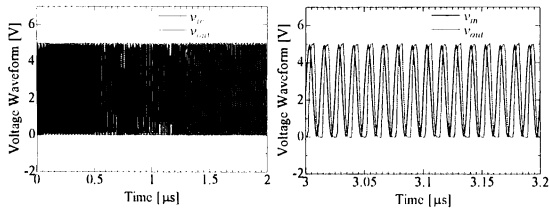
の上記の3点の範囲について出力波形を確認した。

また、シミュレーションで③のような状態のときの出力波形の変動を確認できないため、同時にロックアップタイムのシミュレーションも行った。

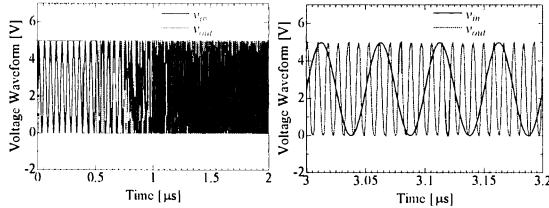
PLL1の①80MHz②20MHz③50MHzと、PLL2の①50MHz②20MHz③80MHzのときの出力波形とロックアップタイム(PLLが入

力に対して出力をロックさせるまでの時間)のシミュレーション結果を図17、出力波形のシミュレーション結果を図18、19に示す。シミュレーション出力波形を検討すると、①と③は入力信号に対してロックしている。しかし、ロックアップタイムの結果を比較すると、③については入力周波数に同期しているがロックした後も細かい変動があることを確認できる。この原因として、VCOが高感度なため図13のような位相比較器の急峻な出力信号に反応してしまうことによるものと考えられる。

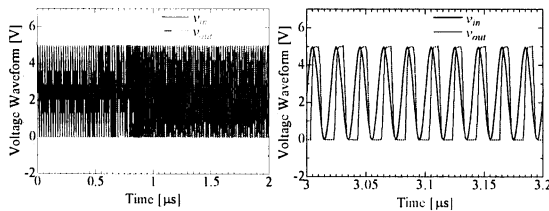
次に、入力信号として電源電圧 $V_{DD}=5V$ とし、入力信号は振幅5V、オフセット2.5Vの矩形波を入力し、周波数を変化させながらそのときの出力波形を測定した。PLL1とPLL2の20MHz、50MHz、80MHzのときの入出力波形を図20、21に示す。PLL1とPLL2の出力波形共に電圧振幅が小さくなっていることと、PLL2では出力電圧も小さくなっていることが確認出来る。また、波形について、PLL2の波形はPLL1に比べて歪んでいることも確認出来る。



出力波形 出力波形(拡大図)
同期状態の波形(80MHz)

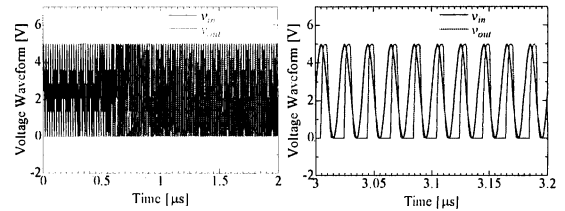


出力波形 出力波形(拡大図)
非同期状態の波形(20MHz)

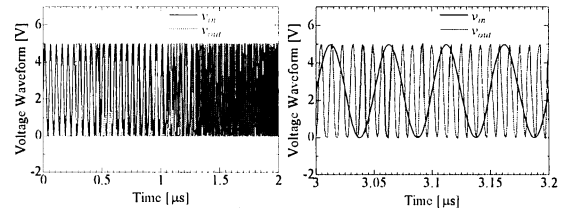


出力波形 出力波形(拡大図)
半同期状態の波形(50MHz)

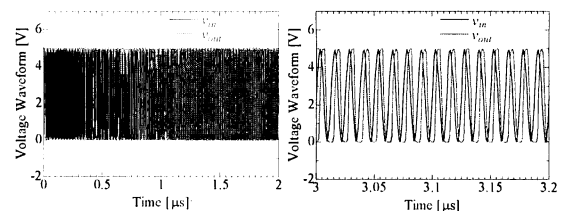
図 18 PLL1 の入出力波形(シミュレーション)



出力波形 出力波形(拡大図)
同期状態の波形(50MHz)



出力波形 出力波形(拡大図)
非同期状態の波形(20MHz)



出力波形 出力波形(拡大図)
半同期状態の波形(80MHz)

図 19 PLL2 の入出力波形(シミュレーション)

4-5-2. 位相雑音特性についての検討

位相雑音特性の定量的評価は、発振周波数であるキャリア周波数から f [Hz] 離れた周波数での 1Hz 帯域幅での電力信号の総電力で規格化した SSB(Signal Side Band)位相雑音 [dBc/Hz] で定義され、オフセット周波数 f_M のときの位相雑音 $L(f_M)$ は次式で求められる [11].

$$L(f_M) = P_N - P_C - 10 \log(1.2 \times \Delta BW) + 2.5 \quad (1)$$

P_C : キャリア電力 [dBm]

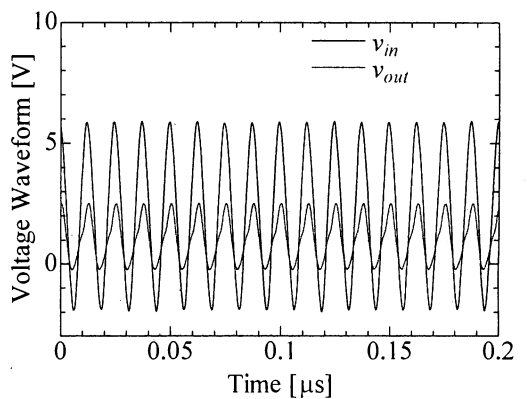
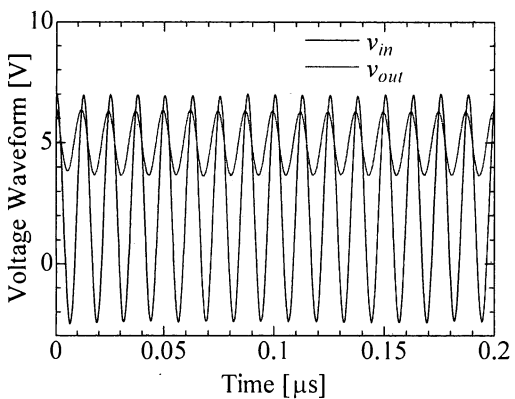
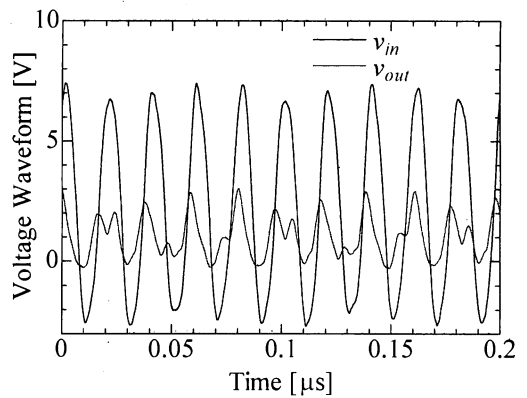
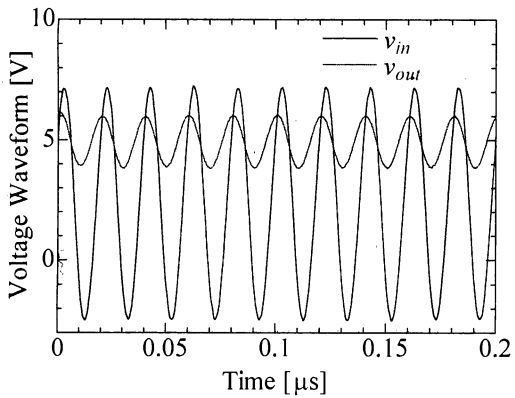
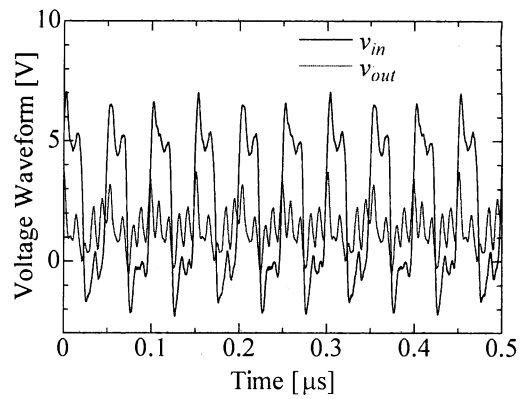
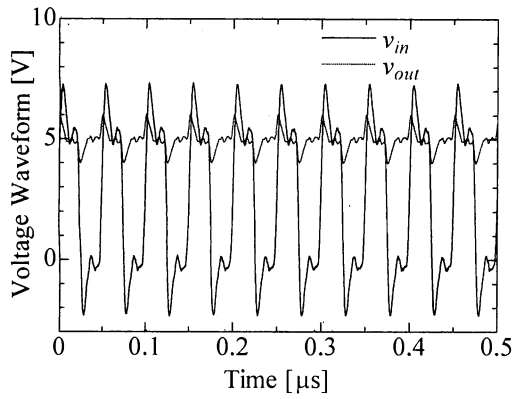
P_N : オフセット周波数における雑音電力 [dBm]

ΔBW : スペクトルアナライザの RBW
(Resolution Band Width : 分解能帯域幅)

PLL1 と PLL2 の入力 20MHz, 50MHz, 80MHz のときのスペクトル特性を図 22, 23 に示す. PLL1 について, 1kHz オフセットにおける位相雑音は周波数が 20MHz のとき -44.79dBc/Hz, 50MHz のとき -43.19dBc/Hz,

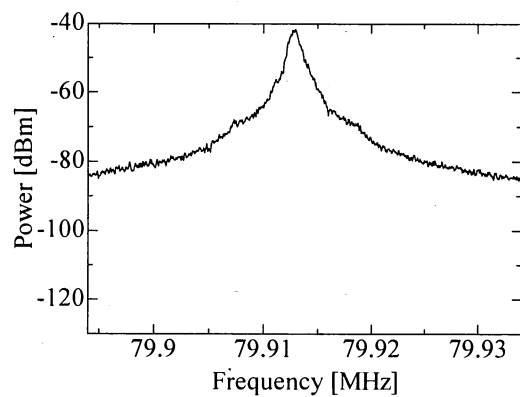
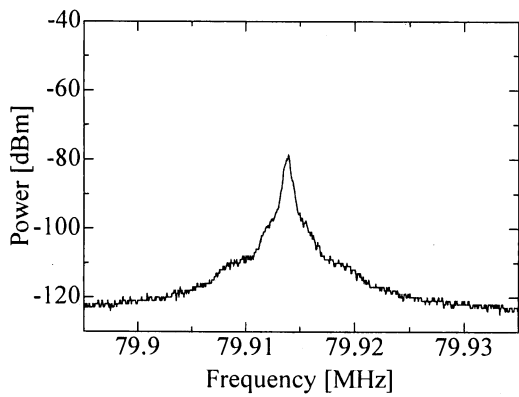
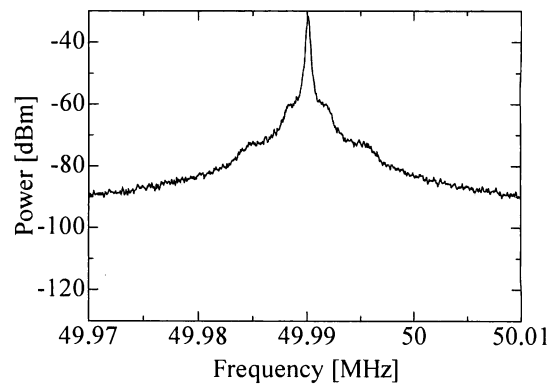
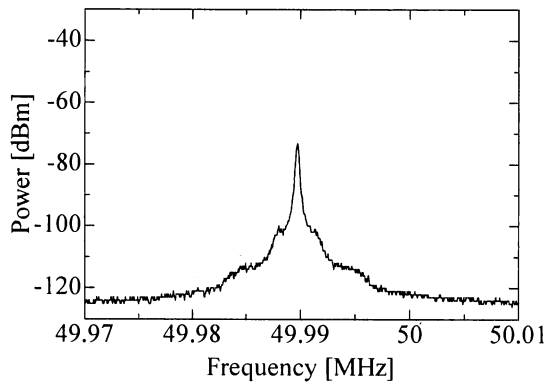
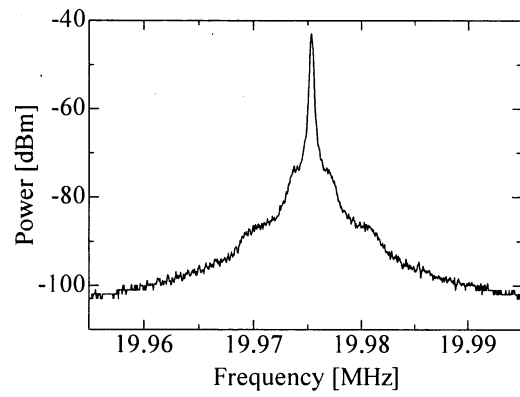
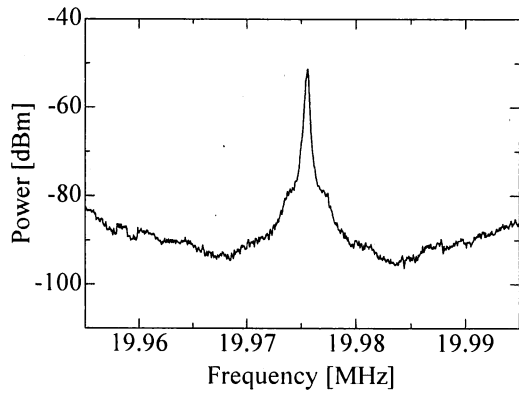
80MHz のとき -29.39dBc/Hz と算出される. また, PLL2 については周波数が 20MHz のとき -43.89dBc/Hz, 50MHz のとき -45.69dBc/Hz, 80MHz のとき -27.59dBc/Hz と算出される. この結果から, 半同期状態では同期状態に比べて位相雑音特性の悪化が確認出来る. これより, ループフィルタの設計による PLL の半同期状態により位相雑音が増加することが明らかになった

しかし, 出力波形の結果と比較して, 歪みが位相雑音によるものとするれば特に PLL2 について周波数 20MHz のときと 80MHz のときの位相雑音特性について 20MHz のときの位相雑音特性が良かった理由については今後も検討する必要がある.



(上から 20MHz, 50MHz, 80MHz)
 図 20 PLL1 の入出力波形(実測)

(上から 20MHz, 50MHz, 80MHz)
 図 21 PLL2 の入出力波形(実測)



(上から 20MHz, 50MHz, 80MHz)
 図 22 PLL1 のスペクトル特性(実測)

(上から 20MHz, 50MHz, 80MHz)
 図 23 PLL2 のスペクトル特性(実測)

5. おわりに

高周波・広帯域 PLL の低位相雑音特性のため、PLL の特性を決める核であるループフィルタに着目し、動作周波数と位相雑音特性について基礎検討を行った。

ディスクリット素子による PLL の動作周波数範囲についての検討から広帯域動作にはラグリードラグフィルタが有効であるということを確認した。

また、ラグリードラグフィルタを用いて PLL を IC の実装し、ループフィルタの設計が PLL の動作の安定性や出力電圧、位相雑音特性に与える影響を検討した。帯域を広く設計した PLL では出力電圧の低下や波形の歪みを招くということと、半同期状態では位相雑音特性が悪化するということを明らかにした。

今後の課題として、広帯域にループフィルタを設計したときでも PLL が完全にロックするような設計方法や、出力電圧の発振波形の歪みの原因について検討していく必要がある。

謝辞 本研究におけるチップ試作は、東京大学大規模集積システム設計教育研究センターを通し、オンセミコンダクタ(株)、日本モトローラ(株)、HOYA(株)、及び京セラ(株)の協力で行われたものであり、ここに感謝致します。

また、日頃から研究に協力頂いた当研究室の小林吾生氏に深く感謝致します。

参考文献

- [1] 後藤尚久, 中川正雄, 伊藤精彦, "アンテナ無線ハンドブック", オーム社, 2006.
- [2] 野田正樹, "高速 UWB(Ultra Wideband) 通信の最新動向", 情報処理学会, vol.49, no.12, pp.1445-1453, Dec. 2008.
- [3] 齊藤光男, "半導体技術の進歩とシステムオンチップ", 東芝レビュー, 57, 1, pp.38-42, 2002.
- [4] Behzad Razavi 著, 黒田忠広 監訳, "RF マイクロエレクトロニクス", 丸善, 2002.
- [5] フロイト M.ガードナー 著, 加沼安喜良 訳, "PLL 位相同期化技術", 産業図書株式会社, 2009.
- [6] 渡辺伸介他, "基本波および高調波終端負荷を最適化した低位相雑音 77GHz MMIC VCO", 電子情報通信学会, ED, 電子デバイス 109(303), pp.13-18, Nov. 2009.
- [7] 田島賢一, "位相差制御によるアナログ位相比較器を用いた $\Delta \Sigma$ 変調フラクショナル-N PLL シンセサイザのスプリアス抑圧手法", 信学技報, ED2004-168, NW2004-184, Nov. 2004.
- [8] 井上浩, 宮前亨, "新しいリング発振器型 VCO の設計とその応用", 2005 年信学総大, C-12-38, p.101, Mar. 2005.
- [9] 三浦和仁, 井上浩, "リング発振器を応用した新しい電圧制御型発振器の設計とその評価", 信学技報, EMD2004-6, pp.9-14, May 2004.
- [10] 北地裕子, 橘昌良, "PLL のための要素回路の設計", 信学技報, VLD2007-147, ICD2007-170, 2008.
- [11] 小宮浩, "高周波 PLL 回路のしくみと設計法", CQ 出版社, 2009.