

設計容易性を指向した非同期 FPGA のアーキテクチャ

Designability-aware Architecture of an Asynchronous FPGA

小松与志也* , 張山昌論* , 亀山充隆*

Yoshiya Komatsu* , Masanori Hariyama* , Michitaka Kameyama*

*東北大学大学院情報科学研究科

*Graduate School of Information Sciences, Tohoku University

キーワード： フィールドプログラマブルゲートアレイ (FPGA) , 再構成可能 LSI (Reconfigurable LSI) , 自己同期式回路 (Self-timed circuit) , 非同期式回路 (Asynchronous circuit)

連絡先： 〒 980-8579 仙台市青葉区荒巻字青葉 6-6-05 東北大学大学院情報科学研究科 亀山・張山研究室
小松与志也, Tel.: (022)795-7155, Fax.: (022)263-9167, E-mail: ykomatsu@ecei.tohoku.ac.jp

1. はじめに

近年, 半導体製造技術の進歩により数十億個のトランジスタをチップ上に集積可能になった一方, チップの規模と複雑さの増大により 2 つの問題が顕在化してきた. 一つ目はコストの問題であり, トランジスタの微細化のため工程数が増加し製造コストが増加している. また, 集積回路の規模の拡大により, コスト全体に占める設計と検証の割合が増大している. 二つ目の問題は性能の問題である. 現在ほとんどのデジタル回路はクロック信号に基づいてデータ処理を実行する同期式回路である. 同期式回路ではチップ全体にクロック信号を供給する必要があり, 回路規模の拡大と共にクロックの分配により消費される電力の増加が問題となっている.

一つ目の問題の解決法として, 現在フィールドプログラマブルゲートアレイ (FPGA) と呼ばれる LSI が広く使用されている. FPGA は再構成可能な LSI であり, ユーザーは FPGA に回路データを書き込むことで所望の機能を持った

LSI に仕立てることができる. そのため LSI を設計・製造する必要がなくなり, コストを大幅に削減することができる.

二つ目の問題に対処するために, 近年非同期式回路が注目されている. 非同期式回路においてデータ処理は処理要求信号と応答信号のやりとりによるハンドシェイクによって実行される. そのため非同期式回路ではクロック信号が不要であり, クロック信号の分配に起因する問題が発生しない. しかし非同期式回路は同期式回路と比べ設計が困難であるという問題がある.

非同期式回路の設計を容易にするために, ハンドシェイクコンポーネントベース設計¹⁾が提案されている. 非同期式回路はハンドシェイクコンポーネントと呼ばれる, データ処理やデータバス制御機能を持つモジュールを接続することで設計される. そのためハンドシェイクコンポーネントベース設計は理解しやすく, 複雑なデータ処理を行う回路の設計に適している.

上記の LSI におけるコストと性能の問題を

解決するため、これまでに非同期式 FPGA がいくつか提案されている。コーネル大学^{2, 3)}、Achronix⁴⁾、東京大学⁵⁾の研究により開発された非同期式 FPGA は、高いスループットを実現するため細粒度パイプラインとなっている。また文献^{6, 7, 8)}では、低消費電力であるという非同期式回路の特徴に注目した FPGA アーキテクチャを提案している。しかし、これらの非同期式 FPGA は簡単なデータ転送と処理に特化した単純なハンドシェイクのみ実行可能であり、ハンドシェイクコンポーネントの実装には適していない。そのため複雑なデータ処理制御を持つアプリケーションを従来の非同期式 FPGA に実装することは困難である。

そこで本研究ではハンドシェイクコンポーネントベース設計に適した非同期式 FPGA を提案する。提案 FPGA はハンドシェイクコンポーネントを効率的に実装できるため、複雑なデータ処理制御を行うアプリケーションの実装に適する。提案アーキテクチャでは頻繁に使用されるハンドシェイクコンポーネントは一つのロジックブロック (LB) で実装できるため、アプリケーションをコンパクトに実装可能である。

2. ハンドシェイクコンポーネントに基づく非同期式回路設計

2.1 ハンドシェイクコンポーネント

非同期式回路では回路間のデータ転送は処理要求 (Request) 信号と応答 (Acknowledge) 信号のやり取りにより行われる。図1に4相式ハンドシェイクを示す。最初に送信側は要求信号を”1”にセットすると同時にデータを送信する。処理が完了すると受信側は応答信号を”1”にセットする。送信側は要求信号を”0”にセットしデータ送信の終了を知らせる。最後に受信側が応答信号を”0”にセットしハンドシェイクが終了する。

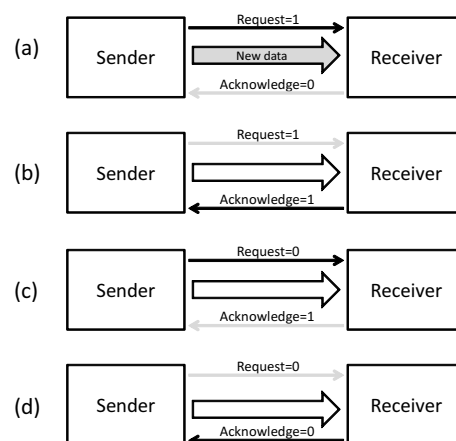


Fig. 1 4相式ハンドシェイク。

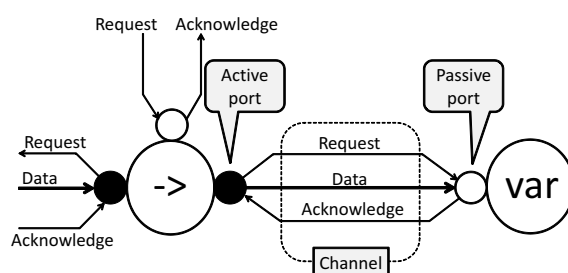


Fig. 2 ハンドシェイクコンポーネントとチャネル。

ハンドシェイクに基づく非同期式回路の設計手法として、ハンドシェイクコンポーネントによる設計が提案されている¹⁾。図2にハンドシェイクコンポーネントの例を示す。各ハンドシェイクコンポーネントはデータの演算、記憶またはデータパス制御の機能を持ち、46種類のハンドシェイクコンポーネントが定義されている⁹⁾。それぞれのハンドシェイクコンポーネントはポートを持ち、ポート間はチャネルによって接続される。複数のハンドシェイクコンポーネントがチャネルによって接続されることでハンドシェイクサーキットが構成される。ハンドシェイクコンポーネント間の通信は Active port から要求信号を、Passive port から応答信号を送信することで行われる。ハンドシェイクコンポーネントの例として、Sequence component の動作を示す。図3に Sequence component を示す。Sequence component は activate ポートと activateOut₀ から

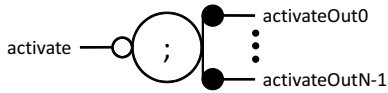


Fig. 3 Sequence component .

activateOut_n ($n \geq 1$)までのポートを持つ .Sequence component は activateOut₁ から activateOut_n まで順にハンドシェークを実行し , それらに接続されたハンドシェークコンポーネントを活性化化する . これにより Sequence component はハンドシェークサーキットの処理シーケンスを制御する役割を持つ . Sequence component の動作を示す .

- 1) activate.req が “1” にセットされる
- 2) activateOut0.req を “1” にセットする
- 3) activateOut0.ack が “1” にセットされる
- 4) activateOut0.req を “0” にセットする
- 5) activateOut0.ack が “0” にセットされる
- 6) activateOut1.req を “1” にセットする
- 7) activateOut1.ack が “1” にセットされる
- 8) activate.ack を “1” にセットする
- 9) activate.req が “0” にセットされる
- 10) activateOut1.req を “0” にセットする
- 11) activateOut1.ack が “0” にセットされる
- 12) activate.ack を “0” にセットする

上記のようにハンドシェークコンポーネントは複雑なハンドシェークを行う . しかし , 各ハンドシェークコンポーネントの機能は単純でありまた複雑な通信はチャンネルとして抽象化されるため , ハンドシェークコンポーネントによる非同期式回路設計は理解しやすい . 図5にハンドシェークサーキットの例を示す . また , Balsa と呼ばれる回路の高位記述からハンドシェーク

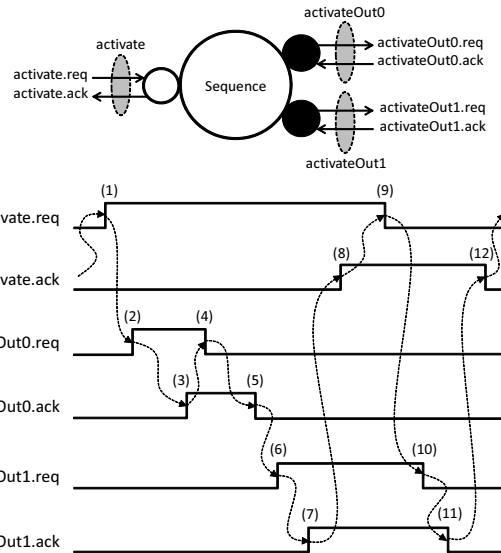


Fig. 4 Sequence component の振る舞い .

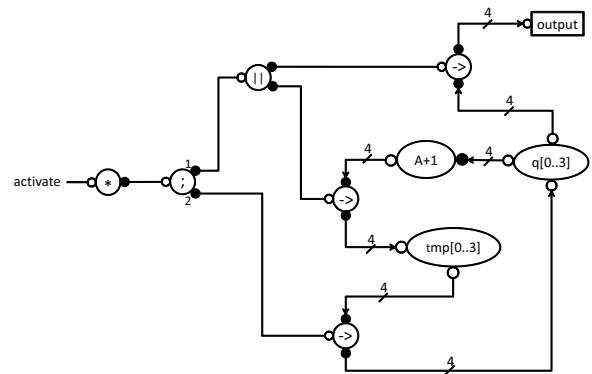


Fig. 5 ハンドシェークサーキットの例 (4ビットカウンタ) .

サーキットを生成するツールが公開されている¹⁰⁾ . よって , ハンドシェークコンポーネントベース設計は複雑で大規模な非同期式回路に適している .

3. 提案非同期式FPGAのアーキテクチャ

3.1 全体のアーキテクチャ

図6に提案FPGAのアーキテクチャを , 図7にプログラマブル配線網の構成を示す . 一般的なFPGAと同様に , 提案FPGAではLBとスイッチブロック (SB) , 2個のコネクションブロック (CB) からなるセルが縦横に並んだ構造をとっ

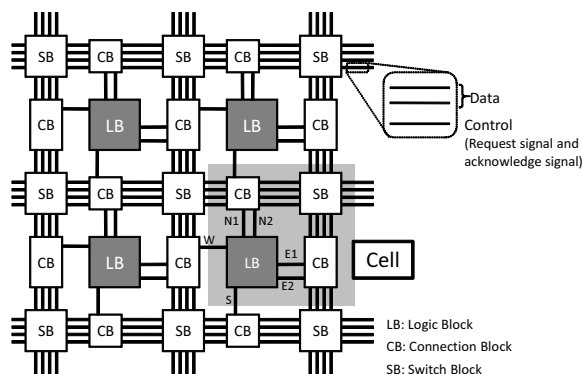


Fig. 6 全体のアーキテクチャ.

ている。2個のCBのうち1個はLBのN1, N2, SポートとSBを, 1個はE1, E2, WポートとSBを接続する。提案アーキテクチャはBalsa⁹⁾で定義されている46種類のハンドシェイクコンポーネントのうち39種類を実装可能である。規模の大きいハンドシェイクコンポーネントは複数個のLBを接続することで実装される。提案アーキテクチャではデータ転送プロトコルに4相2線 (Four-Phase Dual-Rail) 方式を採用しているため, データ転送のために2本, 処理要求信号または応答信号のために1本の合計3本の配線が1ビットの転送のために用意されている。

図7に示すように, SBはダイヤモンドスイッチとReq/Ackモジュールから構成される。図8にReq/Ackモジュールの構成を示す。Req/AckモジュールはスイッチとORゲート, マラーのC素子¹¹⁾から構成される。Req/Ackモジュールはトラックの処理要求信号または応答信号を別のトラックに転送する。また, Req/Ackモジュールは2方向から入力された処理要求信号または応答信号をC素子またはORゲートで統合する役割を持つ。

3.2 ロジックブロックの構成

図9に提案FPGAのLBの構成を示す。LBはBinaryFunctionモジュール, Variableモジュール, Sequenceモジュール, CallMUXモジュール, Caseモジュール, Encodeモジュールとそ

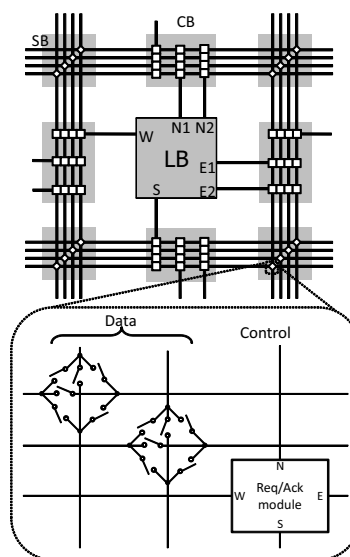


Fig. 7 LBの周囲のプログラマブル配線網.

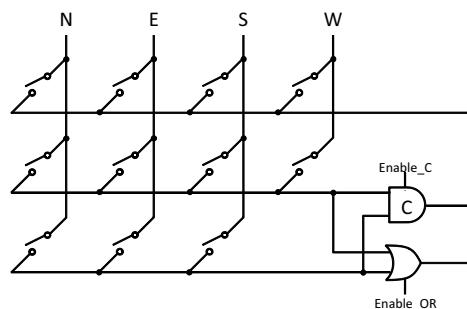


Fig. 8 Req/Ackモジュールの構成.

れらの入出力とCBを接続するInputSwitchモジュール, OutputSwitchモジュールから構成される。表1にモジュールとそれが実装するハンドシェイクコンポーネントを示す。一つのモジュールを数種類のハンドシェイクコンポーネントが共用しているため, 提案アーキテクチャでは小面積で39種類のハンドシェイクコンポーネントをサポートしている。

4. 評価

提案FPGAをe-Shuttle社の65nmCMOSプロセスで実装し, 電源電圧1.2V, 回路温度85°Cの条件の下HSPICEシミュレーションにより評価した。比較のため同条件で従来型非同期式FPGAの評価も行った。図10に示すように, 従

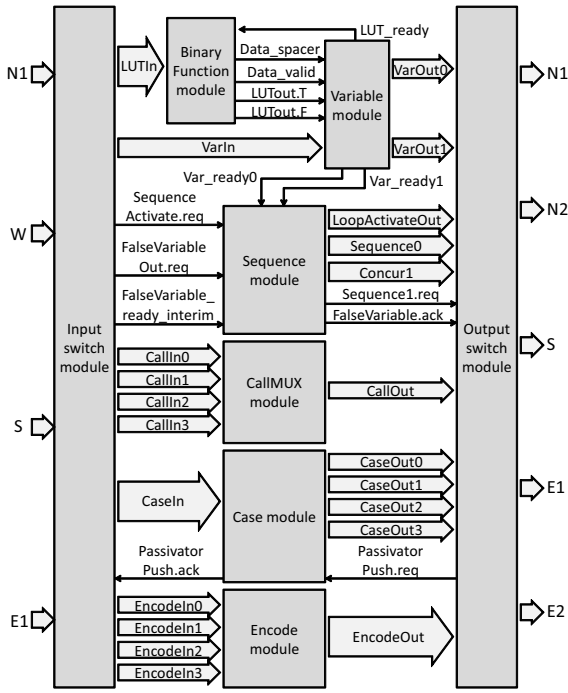


Fig. 9 LBの構成 .

来型非同期式 FPGA の LB は主にルックアップテーブル (LUT) と非同期式レジスタ, FPDR マルチプレクサ・デマルチプレクサから構成される¹¹⁾ .

表 2 にセルあたりのトランジスタ数を示す . 提案アーキテクチャでは LB 内にハンドシェークコンポーネント実装のためのモジュールを持つため, 従来型アーキテクチャと比較してトランジスタ数が 62% 増加した .

次に, 4bit カウンタ, 条件分岐付き 4 ビットカ

Table 1 LB 内のモジュールと実装可能なハンドシェークコンポーネント .

Module	Handshake component
Variable	BuiltinVariable, Variable
Sequence	Concur, Loop, Sequence, While
CallMUX	Call, CallMUX, Continue, ContinuePush
Case	CallDEMUX, Case, CaseFetch, DecisionWait, PassivatorPush, SynchPush
Encode	Encode
BinaryFunction and Variable	BinaryFunc, BinaryFuncConstR, UnaryFunc
Variable and Sequence	FalseVariable, ActiveEagerFalseVariable, PassiveEagerFalseVariable
Programmable Interconnect resources	Adapt, Combine, CombineEqual, Constant, Fetch, Fork, ForkPush, Halt, HaltPush, Passivator, Slice, Split, SplitEqual, Synch, SynchPull, WireFork

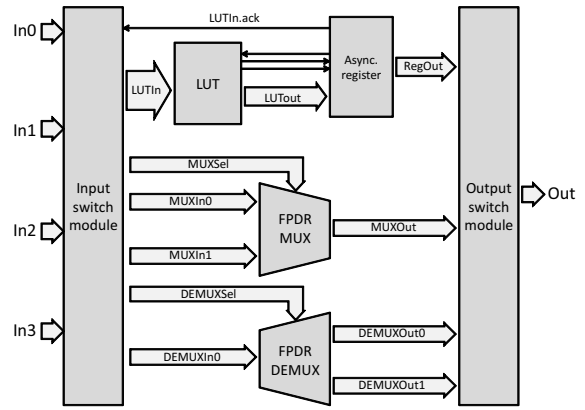


Fig. 10 従来型非同期式 FPGA の LB .

ウンタを非同期 FPGA 上に実装した場合の評価結果を示す . 図 11 に等価な同期式回路を示す . 表 3 にトランジスタ数の比較を示す . 4bit カウンタではセル数は 21% 減少したものの, トランジスタ数は 27% 増加した . 一方条件分岐付き 4bit カウンタではセル数とトランジスタ数はそれぞれ 45% と 11% 減少した . これはハンドシェークコンポーネントベース設計では条件分岐のような制御を含むアプリケーションを効率的に設計できるためである .

表 4 にデータの処理 1 回あたりの消費エネルギーの比較を示す . 4bit カウンタでは従来型アーキテクチャに比べ 9% , 条件分岐付き 4bit カウンタでは 27% 消費エネルギーが削減された . ハンドシェークコンポーネントベース設計は複雑な制御を含むアプリケーションでより有利である .

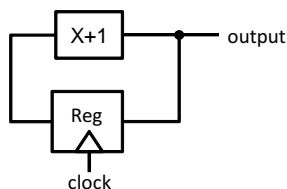
表 5 にデータの出力スループットの比較を示す . 4bit カウンタでは従来型アーキテクチャと比較して 51% , 条件分岐付き 4bit カウンタでは 41% スループットが低下した . これは, 従来型アーキテクチャと比較して提案アーキテクチャはセル間のハンドシェークが複雑であるためである .

5. おわりに

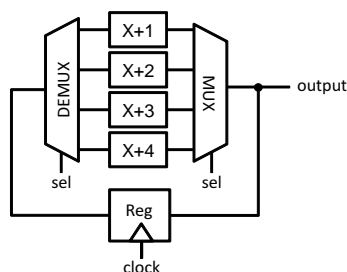
本論文ではハンドシェークコンポーネントベース設計に適した非同期式 FPGA を提案した . 八

Table 2 1セルあたりのトランジスタ数とその内訳.

	Conventional architecture	Proposed architecture
Cell	2401	3893
LB	589	1255
SB and CBs	1812	2638



(a) 同期式回路における4ビットカウンタ.



(b) 同期式回路における条件分岐付き4ビットカウンタ.

Fig. 11 提案アーキテクチャの評価回路と同等の機能を持つ同期式回路.

ンドシェークコンポーネントベース設計は複雑な制御を含むアプリケーションに適しているため、提案アーキテクチャは従来型非同期式 FPGA アーキテクチャに比べ大規模なアプリケーションの実装に有利である.

今後の課題として、従来型アーキテクチャと今回提案したアーキテクチャのハイブリッドアーキテクチャが考えられる. 従来型アーキテクチャはセルが単純でコンパクトでありスループットが高い一方、提案アーキテクチャは複雑な制御を含むアプリケーションを効率的に実装できる. よってハイブリッドアーキテクチャではデータパスの部分はシンプルな従来型アーキテクチャを、アプリケーションの制御部は提案アーキテクチャを用いることで低消費電力、高スループットかつ小面積な実装が可能となる.

Table 3 トランジスタ数の評価結果.
(a) 4ビットカウンタの評価結果.

	Conventional architecture	Proposed architecture
Number of cells	14	11
Number of transistors	33614	42823

(b) 条件分岐付き4ビットカウンタの評価結果.

	Conventional architecture	Proposed architecture
Number of cells	53	29
Number of transistors	127253	112897

Table 4 1データ処理あたりの消費エネルギーの評価結果.

	Conventional architecture	Proposed architecture
4-bit counter [pJ]	5.04	4.57
4-bit counter with conditional branch [pJ]	13.49	9.88

謝辞

This work is supported by VLSI Design and Education Center (VDEC), the University of Tokyo in collaboration with STARC, e-Shuttle, Inc., Fujitsu Ltd., Cadence Design Systems Inc. and Synopsys Inc. 本研究は東京大学大規模集積システム設計教育研究センターを通じ、株式会社半導体理工学研究センター、(株)イー・シャトル、富士通株式会社、日本ケイデンス株式会社およびシノプシス株式会社の協力で行われたものである. また本研究はJSPS 科研費 25・5513 の助成を受けたものである.

Table 5 スループットの評価結果.

	Conventional architecture	Proposed architecture
4-bit counter [M operations/sec]	162.50	79.06
4-bit counter with conditional branch [M operations/sec]	85.70	50.28

参考文献

- 1) K. van Berkel, J. Kessels, M. Roncken, R. Saeijs, and F. Schalijs, "The VLSI-programming language Tangram and its translation into handshake circuits," Proc. EDAC, pp.384–389, 1991.
- 2) J. Teifel and R. Manohar, "An asynchronous dataflow FPGA architecture," IEEE Transactions on Computers, vol.53, no.11, pp.1376–1392, 2004.
- 3) R. Manohar, "Reconfigurable Asynchronous Logic," Proceedings of IEEE Custom Integrated Circuits Conference, pp.13–20, Sept. 2006.
- 4) Achronix Semiconductor Corporation, "Introduction to Achronix FPGAs", Aug 2008.
- 5) B. Devlin, M. Ikeda, and K. Asada, "A 65 nm gate-level pipelined self-synchronous fpga for high performance and variation robust operation," Solid-State Circuits, IEEE Journal of, vol.46, no.11, pp.2500–2513, Nov.
- 6) M. Hariyama, S. Ishihara, and M. Kameyama, "Evaluation of a Field-Programmable VLSI Based on an Asynchronous Bit- Serial Architecture," IEICE Trans. Electron, vol.E91-C, no.9, pp.1419–1426, 2008.
- 7) S. Ishihara, Y. Komatsu, M. Hariyama, and M. Kameyama, "An Asynchronous Field-Programmable VLSI Using LEDR/4-Phase-Dual-Rail Protocol Converters," Proceedings of The International Conference on Engineering of Reconfigurable Systems and Algorithms (ERSA), Las Vegas(USA), pp.145–150, Jul 2009.
- 8) M. Hariyama, S. Ishihara, and M. Kameyama, "A Low-Power Field-Programmable VLSI Based on a Fine-Grained Power-Gating Scheme," Proceedings of IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), Knoxville(USA), pp.430–433, Aug 2008.
- 9) D. Edwards, A. Bardsley, L. Janin, L. Plana, and W. Toms, "Balsa: A Tutorial Guide," May 2006.
- 10) A. Bardsley, "Implementing Balsa Handshake Circuits," 2000.
- 11) J. Sparsø and S. Furber, "Principles of Asynchronous Circuit Design: A Systems Perspective," 2001.