

断熱回路技術を用いた

低消費デジタル PWM 制御回路の設計

Design of low-power digital PWM circuit with adiabatic dynamic CMOS logic

○鈴木 暖(山形大学), 阿部 啄也(山形大学), 澤田 直樹(山形大学), 水沼 充(山形大学),
横山 道央(山形大学)

○Dan Suzuki, Takuya Abe, Naoki Sawada, Mitsuru Mizunuma,
Michio Yokoyama

山形大学, Yamagata University

キーワード:ADCL 回路(adiabatic dynamic CMOS logic circuit),
CMOS(Complementary metal-oxide-semiconductor),
PWM(pulse width modulation)

連絡先:〒992-8510 山形県米沢市城南 4-3-16
山形大学大学院 理工学研究科応用生命システム工学専攻 横山 道央
Tel: 0238-26-3315, E-mail:yoko@yz.yamagata-u.ac.jp

1. 研究背景・目的

室内照明器具は白熱電球または蛍光灯だが近年、節電や省エネの観点から LED 照明に関心が集まっている。LED は長寿命・低消費電力・小型化可能といった長所がある。しかし、LED 照明にはまだ無駄がありシステム全体を通した低消費電力設計はあまりなされていない。本研究は LED 照明システムの調光制御部であ

る、デジタル PWM 回路に断熱回路技術を適用し低消費電力化することを目指す。ADCL 回路には、逆流防止ダイオードがあるため回路としての面積が従来の CMOS 回路に比べ大きくなってしまいう欠点がある。そこでもう一つの目的として ADCL 回路の逆流防止ダイオードのゲート幅 W を小さくすることで回路の小面積化を目指す。

2. ADCL

2.1 ADCL 回路について

ADCL(adiabatic dynamic CMOS logic)回路(図 1)は断熱回路技術と電荷の再利用により従来の CMOS 回路(図 2)より低消費電力化された回路である。断熱回路技術とは電源電圧を一定の傾きで変化させることにより、回路の抵抗にかかる電圧を抑えつつ電流を流し、エネルギー消費を抑えることである。これについては電源に三角波を利用することで実現可能である。電源部とアース部の両方に逆流防止ダイオードを配置しアース部にも電源に接続する。そのため、充放電に用いた電荷を回収し再利用することができる。しかし、アース部も電源に接続しているため出力が電源の影響を受けやすくなる。それに従い、電圧保持容量 C_0 が必要である。

(1,2,3,4)

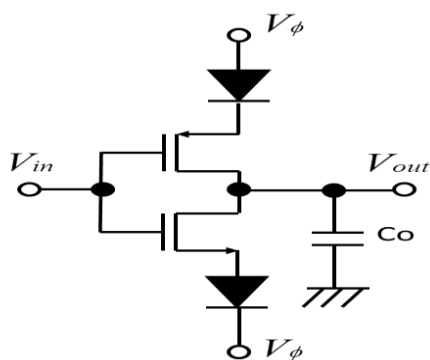


図 1:ADCL 回路(例:ADCL_NOT)

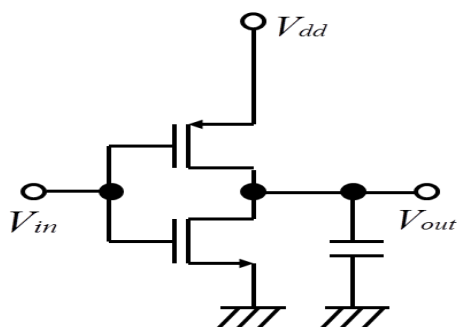


図 2:CMOS 回路(例:CMOS_NOT)

2.2 断熱動作条件

ADCL 回路を断熱的に動作させるためには、電源電圧に対する入力電圧を同期させる必要がある。断熱動作した場合を図 3 に、非断熱動作した場合を図 4 に示す。図 3 より、断熱動作をさせるためには、出力電圧 V_{OUT} と電源電圧 V_ϕ の電位差が小さいときに入力電圧 V_{IN} を変化させる必要がある。それにより出力電圧 V_{OUT} は電源電圧 V_ϕ に追従するように切り換わり、そのとき MOSFET に掛かる電圧 V_R は小さくなる。それにより低消費電力になる。出力電圧 V_{OUT} と電源電圧 V_ϕ の電位差が大きいときに入力電圧 V_{IN} を変化させると、図 4 のように出力電圧 V_{OUT} は CMOS 回路と同様に急激に充電を行うため断熱動作条件を満たせず、MOSFET に掛かる電圧 V_R は大きくなり、動作と消費電力は CMOS 回路に近くなる。

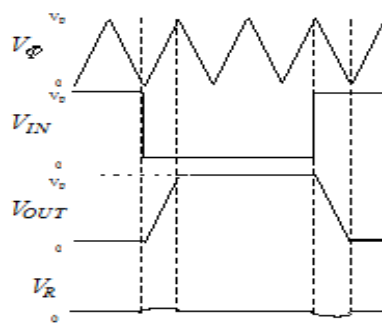


図 3:各部電圧波形 断熱動作条件

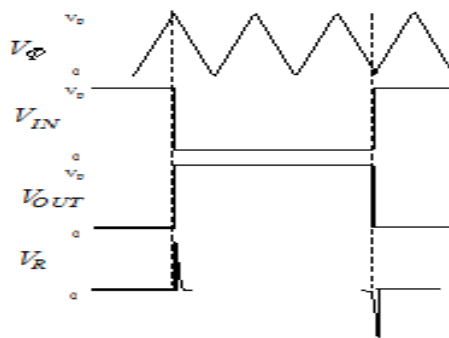


図 4:各部電圧波形 非断熱動作条件

3. PWM 調光について

PWM(パルス幅変調)とは、パルス波の Duty 比を変化させ変調することである。そして、PWM 調光とは PWM を利用し、点灯時間と消灯時間を制御することで明るさを調整することである。本研究では LED 調光に、PWM 調光回路を用いる。3bit-PWM 回路(図 5)を CMOS 及び ADCL で設計し、Spice による解析を行った。PWM 回路は NOT、NAND、2 入力 NAND と 3 入力 NAND で構成されたエッジトリガ型 D-FF(図 6)で構成されている。この回路は 0%、33%、66%、100% の 4 段階調光が可能である。

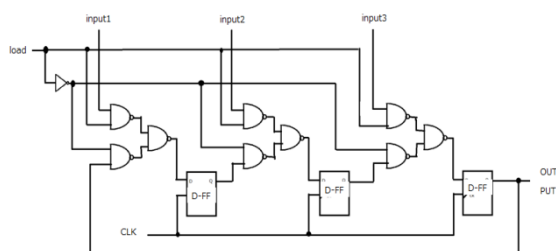


図 5:3bit-PWM 回路

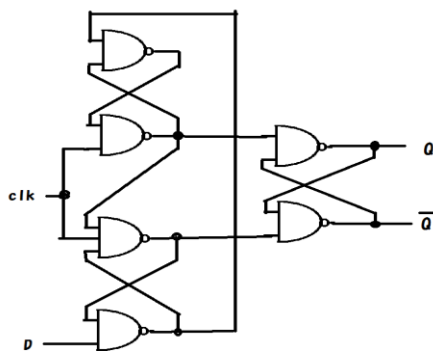


図 6:D-FF(立ち上がりエッジトリガ型)

4. ADCL 回路の逆流防止

ダイオードを縮小した回路設計

従来の ADCL 回路では、表 1 の W/L 比を用いて設計している。その理由は、デジタル回路としての論理動作の閾値を

$V_{dd}/2$ で動作させるためである。従来の ADCL 回路では設計の簡易さから論理動作部とダイオード部共に同じ W/L 比の MOSFET を用いて設計を行っていた。そこで本研究では、従来の ADCL 回路の逆流防止ダイオードのゲート幅 W を小さくすることで回路の小面積化が可能ではと考え設計した。新しく設計したダイオードはシミュレーションを行ううえでの設計限界である値を採用した。

表 1:MOSFET の W/L 比

	新 従来	論理動作部 W/L[um]	ダイオード部 W/L [um]
PMOS	従来	8.2/0.18	8.2/0.18
	新	8.2/0.18	0.42/0.18
NMOS	従来	2/0.18	2/0.18
	新	2/0.18	0.42/0.18

5. 小型化したダイオードを適用してのレイアウト設計

5.1 レイアウト設計について

ダイオードのゲート幅を小型化した新 ADCL_PWM 回路のレイアウト設計のため、PWM 回路を構成する NOT、2 入力 NAND、3 入力 NAND のレイアウトを小型化したダイオードを用いて設計した。レイアウトを設計するために、LVS と RC 抽出を行った。LVS とはレイアウトと回路図を比較し、レイアウトが回路図と等価かどうか判断することである。RC 抽出とはレイアウト上に存在する抵抗と静電容量を抽出することである。そしてレイアウト設計した従来型回路と小型化した新たな回路での面積・動作を比較した。

5.2 NOT

作製した新 ADCL_NOT と、従来の ADCL_NOT の比較レイアウト図を図 7 に示し、ダイオードのゲート幅 W と面積を表 2 に示す。さらに面積比較をグラフとして図 8 に示した。シミュレーション条件を表 3 に動作を図 9 に示す。ダイオードを小さくすると、ADCL_NOT の面積は 45.67 %削減できることが確認できる。図 9 より新 ADCL_NOT は従来の ADCL_NOT と同等の動作をしている事が確認できる。

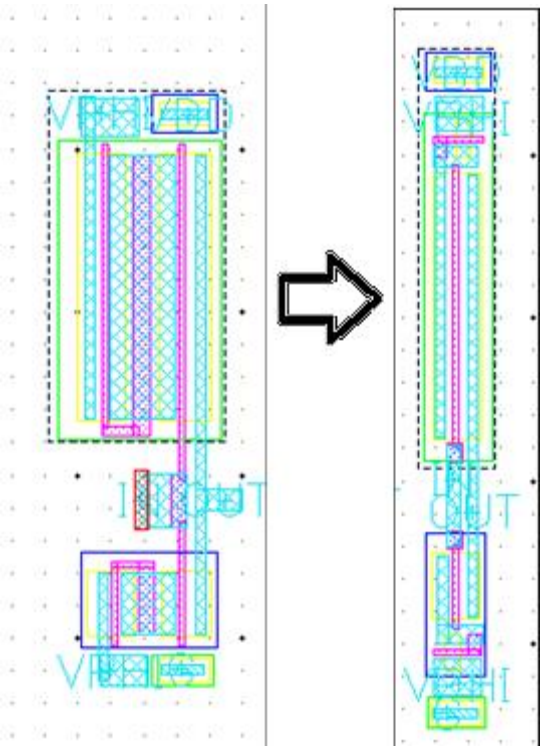


図 7:レイアウト図

(左:従来 ADCL_NOT、右:新 ADCL_NOT)

表 2:ADCL_NOT 新従来の比較

	新 従来	ダイオード Wp/Wn[um]	面積 [um ²]	面積削減率 [%]
ADCL NOT	従来	8.2/2	88.44	×
	新	0.42/0.42	47.876	45.87

レイアウト面積 (um²)

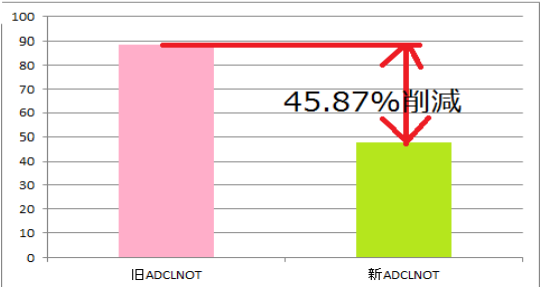


図 8:ADCL_NOT 面積比較

表 3:ADCL_NOT シミュレーション条件

	種類	初期値 [V]	パルス 値[V]	立ち上がり [ns]	立ち下がり [ns]	周期 [ns]
IN	矩形波	1.8	0	2	2	5500
ADCL 電源	三角波	0	1.8	250	250	500

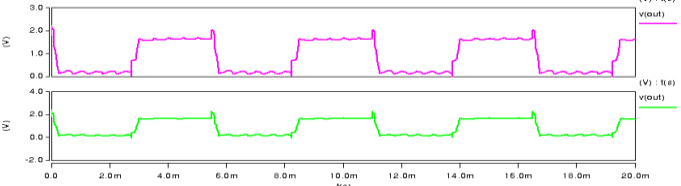


図 9:ADCL_NOT 動作(

上図:従来の ADCL_NOT

下図:新 ADCL_NOT)

5.3 2 入力 NAND

作製した新 ADCL_2 入力 NAND と、従来の ADCL_2 入力 NAND の比較レイアウト図を図 10 に示し、ダイオードのゲート幅 W と面積を表 4 に示す。さらに面積比較をグラフとして図 11 に示した。シミュレーション条件を表 5 に動作を図 12 に示す。ダイオードを小さくすると、ADCL_2 入力 NAND の面積は 45.95 %削減できることが確認できる。図 12 より新 ADCL_2 入力 NAND は従来の ADCL_2 入力 NAND と同等の動作をしている事が確認できる。

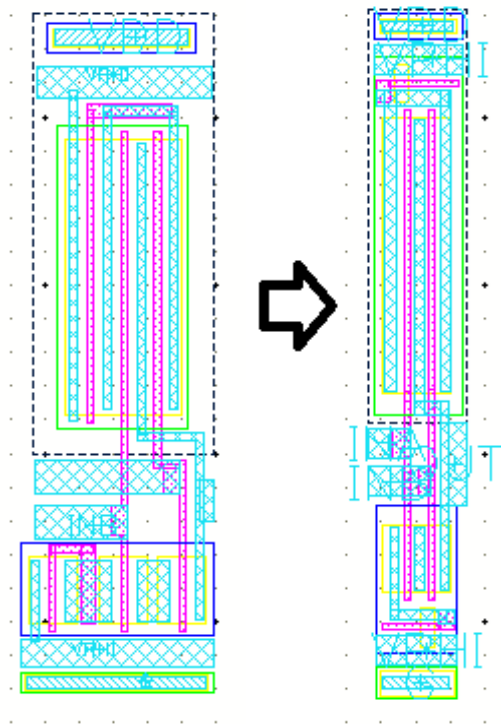


図 10:レイアウト図(左:従来ADCL_2入力 NAND、右:新 ADCL_2 入力 NAND)

表 4:ADCL_2 入力 NAND 新従来の比較

	新 従来	ダイオード Wp/Wn[um]	面積[um ²]	面積 削減率[%]
ADCL 2 入力 NAND	従来	8.2/2	108.259	×
	新	0.42/0.42	58.516	45.95

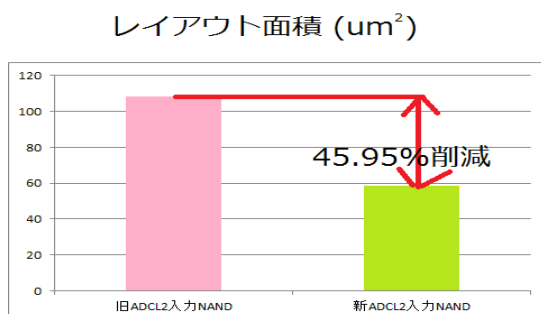


図 11:ADCL_2 入力 NAND 面積比較

表 5:ADCL_2 入力 NAND

シミュレーション条件

	種類	初期値 [V]	パルス 値[V]	立ち上がり [ns]	立ち下がり [ns]	周期 [us]
INA	矩形波	1.8	0	2	2	5500
INB	矩形波	1.8	0	2	2	11×10 ³
ADCL 電源	三角波	0	1.8	250×10 ³	250×10 ³	500

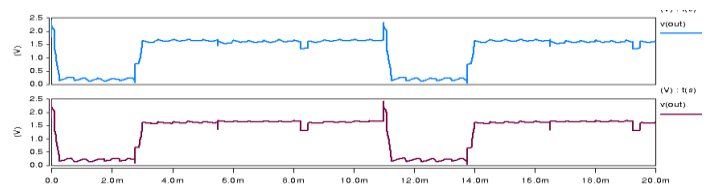


図 12: ADCL_2 入力 NAND 動作(

上図:従来の ADCL_2 入力 NAND

下図:新 ADCL_2 入力 NAND)

5.4 3 入力 NAND

作製した新 ADCL_3 入力 NAND と、従来の ADCL_3 入力 NAND の比較レイアウト図を図 13 に示し、ダイオードのゲート幅 W と面積を表 6 に示す。さらに面積比較をグラフとして図 14 に示した。シミュレーション条件を表 7 に動作を図 15 に示す。ダイオードを小さくすると、ADCL_3 入力 NAND の面積は 40.95 %削減できることが確認できる。図 15 より新 ADCL_3 入力 NAND は従来の ADCL_3 入力 NAND と同等の動作をしている事が確認できる。

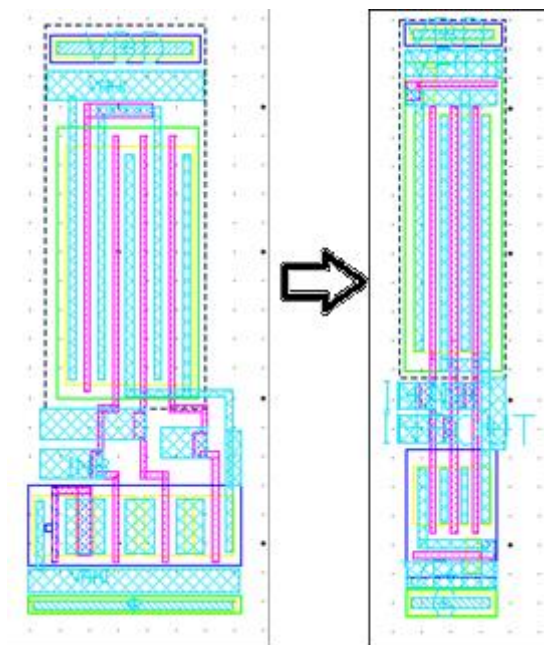


図 13:レイアウト図(左:従来ADCL_3入力 NAND、右:新ADCL_3入力 NAND)

表 6:ADCL_3 入力 NAND 新従来比較

	新 従来	ダイオード Wp/Wn[um]	面積 [um ²]	面積 削減率[%]
ADCL 3 入力 NAND	従来	8.2/2	124.036	×
	新	0.42/0.42	73.247	45.95

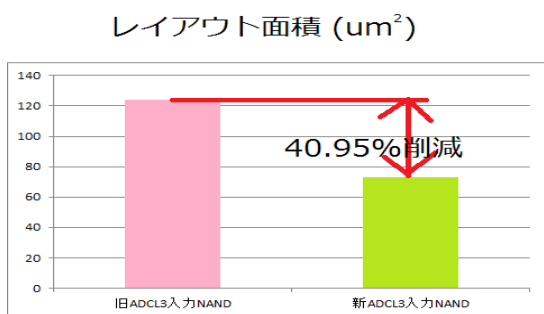


図 14:ADCL_3 入力 NAND 面積比較

表 7:ADCL_3 入力 NAND

シミュレーション条件

	種類	初期値 [V]	パルス 値[V]	立ち上がり [ns]	立ち下がり [ns]	周期 [us]
INA	矩形波	1.8	0	2	2	5500
INB	矩形波	1.8	0	2	2	11×10 ³
INC	矩形波	1.8	0	2	2	22×10 ³
ADCL 電源	三角波	0	1.8	250×10 ³	250×10 ³	500

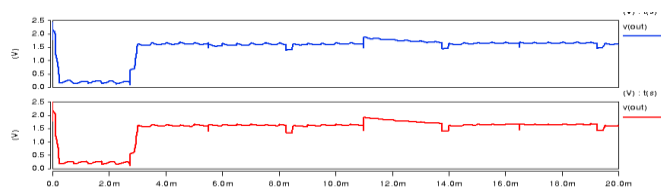


図 15: ADCL_3 入力 NAND 動作(
上図:従来のADCL_3入力 NAND
下図:新ADCL_3入力 NAND)

6. 3bit-PWM 回路

6.1 面積推定

3bit-PWM 回路は NOT が 1 個、2 入力 NAND が 24 個、3 入力 NAND が 3 個で構成されているので、PWM の面積を次のように推定することができる。

$$\text{NOT} + 2 \text{ 入力 NAND} \times 24 + 3 \text{ 入力 NAND} \times 3 = 3\text{bitPWM} \cdots (1)$$

結果 PWM の面積は表 8 と図 16 のようになる。

表 8:ADCL_PWM 面積比較

	面積 (um ²)	面積 削減率[%]
従来の ADCLPWM	3058.758	×
新 ADCLPWM	1671.996	45.34

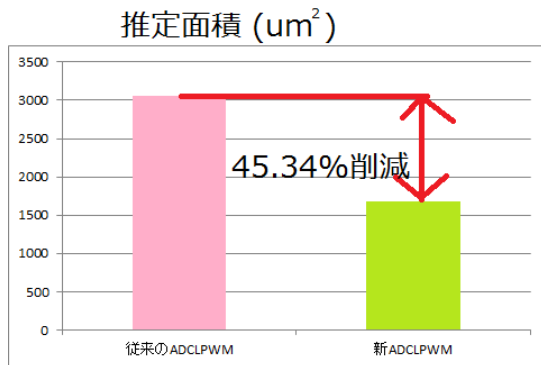


図 16:ADCL_PWM 面積比較

6.2 シミュレーション

3bit-PWM をシミュレーションを用いて評価をした。CMOSPWM、従来の ADCL_PWM、新 ADCL_PWM を回路図データからシミュレーションした。シミュレーションにはトランジスタモデルは 0.18um 標準 CMOS モデルを用い、Hspice 使用し、入力は(input3 input2 input1)を 111→110→101→100→011→010→001→000 で変化するように設定した。シミュレーション条件を表 9、動作を図 17(新 ADCL_PWM の動作を CMOSPWM と比較するために CMOS バッファを挿入した動作も載せる)、消費電力を表 10 に示す。図 17 より新 ADCL_PWM は CMOSPWM と同等の動作が可能である。表 10 より、CMOSPWM より従来の ADCLPWM、従来の ADCLPWM より新ADCLPWMの方が低消費電力であることを確認した。

表 9:シミュレーション条件

	種類	初期値	パルス値	立ち上がり	立ち下がり	周期
		[V]	[V]	[ns]	[ns]	[ns]
CLK	矩形波	0	1.8	2	2	330
ADCL電源	三角波	0	1.8	15×10 ³	15×10 ³	30

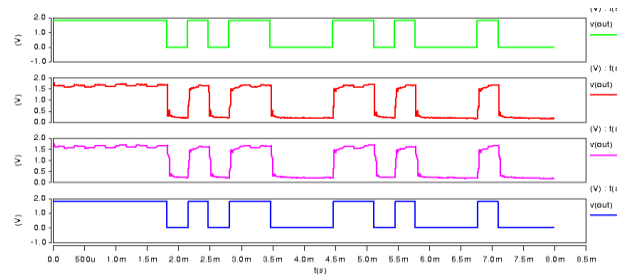


図 17:PWM 動作(上から

- 1:CMOSPWM、
- 2:従来の ADCL_PWM、
- 3:新 ADCL_PWM、
- 4:新 ADCL_PWM に CMOS バッファを通した波形)

表 10:PWM 消費電力

	CMOSPWM	従来のADCLPWM	新ADCLPWM
消費電力[nW]	14.3	8.07	6.44

7. 結論

ADCL 回路の逆流防止ダイオードのゲート幅 W を小さくしても PWM 回路としての動作が可能である。それによりダイオードを小型化したものを ADCL_PWM 回路のレイアウトに適用した場合、45.34%の面積削減が見込まれる。

8. 展望

従来の ADCL_PWM より新しく設計した ADCL_PWM の方が低消費電力であったので、ダイオードのゲート幅と消費電力の関係を調査する。ダイオードを小さくした場合の PWM 回路のレイアウトを作成する。その後、実際に IC を作製し評価を行う。

参考文献

- (1)一ノ瀬昇,中西洋一郎“次世代証明のための白色 LED 材料,” pp5-52 2010.
- (2)A.G. Dickinson and, J.S. Denker,
“Adiabatic Dynamic Logic,” IEEE J. solid-state Circuits, vol. 30, no.3, pp.311-315, March 1995 .
- (3)A. Kramer, J.S. Denker, S.C. Avery, A.G. Dickinson, and T.R. Wik,
“Adiabatic Computing with the 2N-2N2D Logic Family,” 1994 symposium on VLSI circuits digest of technical papers, pp.25-26, 1994.
- (4)Y. Moon, Student Member, and D.K. Jeong, Member, “An Efficient Charge Recovery Logic Circuit,” IEEE J. Solid-State Circuits, vol.31, no.4, pp514-522, April 1996.
- (5) 安田裕佑”低消費電力断熱的論理回路の研究”平成 21 年度 修士学位論文
- (6)西村雅美“断熱論理回路を用いた LED 証明回路システムの開発”平成 21 年度 卒業論文
- (7)西村雅美“断熱回路を用いた低消費電力 LED 証明システムの研究”平成 23 年度 修士学位論文
- (8)趙勝一”断熱的論理回路を利用した低消費電力照明システムの研究”平成 23 年度 学位論文